

科技部補助
大專學生研究計畫研究成果報告

計 畫 名 稱 : 氧化釷鉛(HfYO)薄膜之閘極鐵電負電容製程開發與特性研究

執行計畫學生：曾澤瑞

學生計畫編號：MOST 107-2813-C-035-097-E

研究期間：107年07月01日至108年02月28日止，計8個月

指導教授：林成利

處理方式：本計畫可公開查詢

執行單位：逢甲大學電子工程學系

中華民國 108年04月01日

摘要

本計畫進行氧化釷鈣(HfYO)鐵電材料薄膜經微波退火(MWA)與快速熱退火(RTA)特性研究。以濺鍍製程沉積 HfYO 為鐵電層的 MFIS 結構為電容試片，觀察否有鐵電性及負電容特性產生，並且比較不同退火製程條件下的氧化層漏電流、電容大小以及鐵電負電容特性。

在 RTA 750°C製程條件下可觀察到最大的 P-V 磁滯迴圈，即有較佳的極化現象，經由量測元件之 I_g-V_g 特性後，可得知矯頑電場強度方面有不錯的表現。在微波退火方面，經微波退火 100 秒及 200 秒後的元件，施加偏壓至 3.4V~3.5V 時，其極化(polarization)較明顯，有電容峰值產生，這個峰值意味有負電容效應產生。綜合以上不同退火製程條件實驗結果，以 MWA 200 秒退火鐵電氧化層較為適合，在閘極漏電流及電容值上較其他退火製程條件有較佳的表現。

關鍵字：氧化釷鈣、鐵電材料、負電容、磁滯效應、極化

Abstract

This project studied the properties of hafnium oxide (HfYO) ferroelectric material films by microwave annealing (MWA) and rapid thermal annealing (RTA). The MFIS structure in which HfYO is deposited as a ferroelectric layer by a sputtering process is a capacitance test piece, and the presence of ferroelectricity and negative capacitance characteristics is observed, and the oxide layer leakage current, capacitance, and ferroelectric negative capacitance are compared under different annealing processes. characteristic.

The maximum P-V hysteresis loop can be observed under the RTA 750 °C process condition, that is, there is better polarization phenomenon. After measuring the I_g - V_g characteristics of the component, it can be seen that the coercive electric field strength has a good performance. . In microwave annealing, after microwave annealing for 100 seconds and 200 seconds, when the bias voltage is applied to 3.4V~3.5V, the polarization is obvious, and the peak capacitance is generated. This peak means that a negative capacitance effect occurs. Based on the above experimental results of different annealing process conditions, the annealing of ferroelectric oxide layer with MWA 200 seconds is more suitable, and the gate leakage current and capacitance value are better than other annealing process conditions.

Key word : HfYO, Ferroelectric material, Hysteresis, Polarization

致謝

感謝科技部提供經費協助此大專學生研究計畫，讓計畫能順利執行。從初期研讀論文、中期晶片製作與量測到後期量測分析與計畫撰寫，讓我在這期間內獲取許多課堂上學不到的知識，在本計畫執行的過程中，也感謝組員李軒毅、楊詔旭、江維融等人的幫助，促使本計畫可以更順利的完成，也明白計畫報告要完成必須要有大家的協助與幫忙，也讓我在這一年中的計畫受益良多。

特別要感謝我們的指導教授林成利博士，老師以土法煉鋼的方式，包括從一開始就訓練我們閱讀論文並一再地告訴我們這個能力是非常重要而且必須的，讓我們在實際研究中能夠深刻體會到並善用獲得的技巧漸入佳境，更在老師豐富的專業知識下學習到了不僅僅只是課本的內容，許多課外知識及實作技巧都在我們日後的專題研究上有了顯著的幫忙。也感謝新竹的國家奈米實驗室提供實驗機台以及製程作業上的幫忙，讓我們能順利完成晶片的製作還有先進元件製程與可靠度實驗室(ADPR)提供各類器材與機台，讓我們可以量測晶片特性，也特別感謝碩班學長-黃義帆、鄭柏承、朱育璋等人，在晶片製作與實驗量測中給了我們很多的建議以及幫助，協助我們晶片的量測及分析最後感謝組員這一年來的互相配合，從閱讀文獻及工作分配到專題撰寫，我們不單單學習到了專業知識，更瞭解人與人之間溝通的重要以及解決問題的能力在未來是不可或缺的也希望未來能繼續與老師做更深入的研究並期許自己以後能有更好的突破及發展。

目錄

第一章 諸論	1
1-1 前言	1
1-2 研究動機	1
1-3 負電容效應與鐵電材料	2
第二章 文獻探討	4
2-1 傳統 MOS 工作原理.....	4
2-2 負電容電晶體工作原理與 High-k 鐵電材料.....	5
2-3 負電容電晶體磁滯現象原因	6
2-4 材料對於負電容電晶體之影響	6
2-5 元件材料分析	7
第三章 研究方法	9
3-1 元件結構介紹與製程	9
第四章 量測結果與討論	12
4-1 元件特性曲線理論與探討	12
4-2 NC-MFIS P-V 特性曲線量測.....	13
4-3 NC-MFIS I-V 特性曲線量測	16
4-4 NC-MFIS C-V 特性曲線量測	21
4-5 NC-MFIS 不同製程條件實驗量測特性分析結果.....	23
4-6 文獻比較	24
第五章 結論	26
參考文獻.....	27

第一章 諸論

1-1 前言

負電容場效電晶體的介電層為鐵電材料，而鐵電材料為 High K 材料，因為 $C = k \cdot \frac{\epsilon A}{d}$ ，因此在元件尺寸越來越小時，我們可以提高 K 值來讓電容維持一定的值，並藉由鐵電材料的極化翻轉來提供正反饋，當外來電壓施加在鐵電電容上，可幫助電耦極距翻轉，在此過程中，鐵電的電容將會有小於零的數值產生，由此一來，會產生一個負電容，進而可以使 MOS 電容變大，讓我們可以達到低功率損耗甚至能夠獲得能量，產生通道表面電位提高的效果。不過隨著負電容效應越大，造成的遲滯現象也會越嚴重，此為必須克服的問題。然而，負電容場效電晶體可以利用減少氧化層薄膜厚度、或是不同的退火製程及閘極金屬材料，進而降低次臨界擺幅(subthreshold swing, S.S.)、減少功耗以及降低磁遲滯效應的影響，此研究主要進行改變氧化層材料並且量測其特性，藉此找出對於負電容場效電晶體較合適及穩定的介電層材料。因為負電容場效電晶體可以達到比金氧半場效電晶體更低的功耗，可應用於未來大數據世代，達到節能減碳的目標，也能夠創造一定的商機。

1-2 研究動機

近幾年來，由於負電容效應的鐵電場效應電晶體在室溫下的次臨界擺幅(SS)可以達到低於 60 mV/dec，可以實現超低功耗，目前，有許多研究工作都以鐵電材料為主，例如：HfYO_x、Y₂O₃、HfAlO_x 和 HfZrO_x (HZO)，以實現更低的次臨界擺幅值，以及低的閘極漏電流，但鐵電材料的缺點是有遲滯效應的產生。

根據研究[1]，在眾多鐵電材料中，氧化鈮(Y₂O₃)為目前廣泛研究之高介電係數

之材料，其材料特性具有熱力學上的穩定性，並擁有高的崩潰強度(~4MV/cm)及不錯的介電係數($\epsilon = 15 \sim 18$)，根據文獻發現利用沉積非晶型的 Y_2O_3 作為閘極介電層，初步展現了高介電係數、低漏電流密度及低介面態位密度等不錯的電性[2-5]。

然而， HfO_2 與 Y_2O_3 都是很好取代 SiO_2 的材料，因為他們都有很寬的能帶間隙(HfO_2 約5.8V、 Y_2O_3 約6V)以及相對大的介電常數，熱穩定性也比較好，且 HfO_2 對於目前製程兼容性也比較佳[6]，所以我們將兩個材料混合在一起，希望能降低元件的漏電流以及達到更好的介面態密度。

1-3 負電容效應與鐵電材料

我們可以將鐵電材料的自由能由 Ginzburg-Landau 理論的方程式表示

$$U = \alpha P^2 + \beta P^4 + \gamma P^6 - EP \text{ ----- (公式 1)}$$

此外，在熱平衡時

$$\frac{\partial U}{\partial P} = 0 \text{ ----- (公式 2)}$$

因此方程式可寫成

$$E = 2\alpha P + 4\beta P^3 + 6\gamma P^5 \text{ ----- (公式 3)}$$

以化簡後的方程式(公式3)，我們可以模擬鐵電材料的P-E特性曲線(Fig.1)；一般材料的P-E特性曲線應為一條斜直線，而因為鐵電材料會產生殘餘極化與矯頑電場的關係，所以鐵電材料的P-E特性曲線有磁滯效應產生，而因為負電容現象是不穩定的，因為他只會發生在某些特定電壓下且不能被量測到，所以不能直接從P-E曲線中看出負電容的現象，但我們可以利用P-E圖的斜率($C=dQ/dV$)得出在某些特定情況下，有負電容的情形產生(紅線)[7]。然而，這種電容值為負的情形只會發生在鐵電層中，所以把鐵電電容與MOS電容串聯後可得(公式4)

$$C_{total} = \frac{C_{del} \times C_{FE}}{C_{del} + C_{FE}} \text{ ----- (公式 4)}$$

因此，我們可以從元件的 C-V 特性曲線中發現總電容值有突然上升的情況，來驗證是否有負電容效應產生。

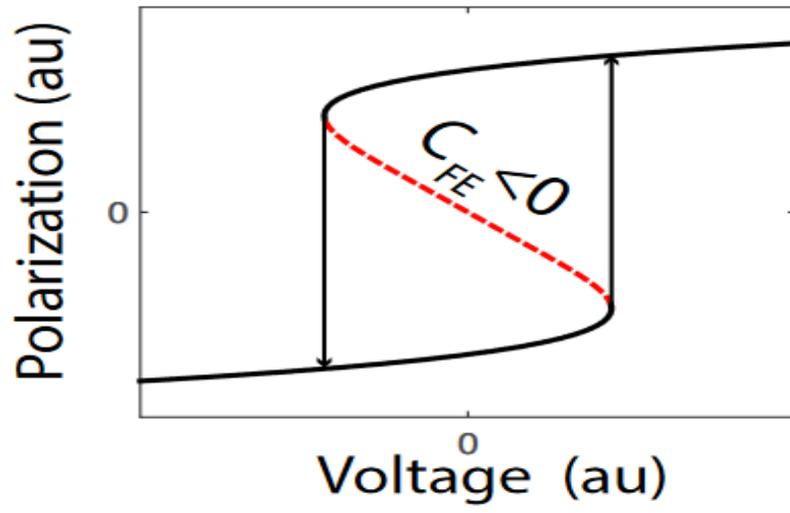


Fig.1 鐵電材料P-V模擬圖[7]

第二章 文獻探討

2-1 傳統 MOS 工作原理

MOSFET是由金屬(Metal)、氧化物(Oxide)、與半導體(Semiconductor)組成之場效應電晶體(Field Effect Transistor)，藉由閘極電場的控制作為開關，使元件導通或截止。

MOS 電容器結構是 MOSFET 元件中的關鍵部分，以下三種模式在 MOS 電容器的討論上是很重要的:聚集(accumulation)、空乏(depletion)以及反轉(inversion)。當在閘極外接電壓($V_G < V_{FB} < 0$)，則在半導體內於靠近氧化物與半導體的界面將會有一層電洞聚集層，即為聚集模式。當 V_G 逐漸提升($V_G > V_{FB}$)，此時靠近氧化層與半導體界面的部分電洞聚集層會被半導體內的電場所掃離至空間電荷區，而電子逐漸在氧化層與半導體界面處累積，電洞濃度仍大於電子濃度，即為空乏模式。而當 $V_G \gg V_{FB}$ 時，此時的電子濃度大於原本的電洞濃度，導致半導體由原本的 P 型傳輸機制轉換成 N 型的傳輸機制，即為反轉模式，如 Fig. 2 所示。

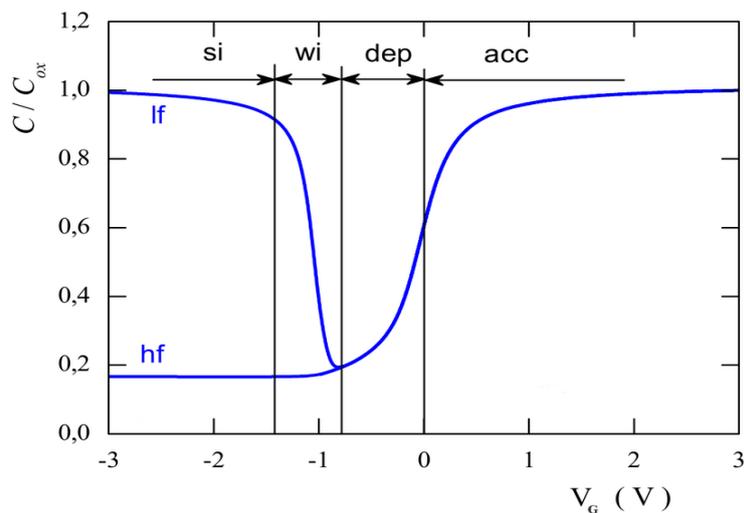


Fig.2 傳統MOS電容CV 圖(以PMOS為例)[8]

而加入鐵電層的 MOSFET 由於所需操作電壓較小，可以降低元件在開關時所產生的損耗，而鐵電材料能夠達到陡峭的次臨界斜率，達到較低的 S.S.值，使元

件在開關時所需的外加偏壓降低，進而達到降低功耗的目的。

而利用SS值的公式[9]

$$SS = \frac{\partial VG}{\partial \log ID} = \frac{\partial VG}{\partial \phi_S} \times \frac{\partial \phi_S}{\partial \log ID} = \left(1 + \frac{C_S}{C_{ins}}\right) \times \frac{KT}{q} \ln 10 \text{----- (公式 5)}$$

$$\frac{\partial VG}{\partial \phi_S} = \left(1 + \frac{C_S}{C_{ins}}\right) \text{----- (公式 6)}$$

由(公式 5)中可以發現傳統的 MOSFET 的 C_{ins} 跟 C_S 恆為正，因此導致 SS 值必會大於 60mV/dec，但如果加入鐵電材料，將會使電容值出現負值，便能使 SS 值低於 60mV/decade。

2-2 負電容電晶體工作原理與 High-k 鐵電材料

負電容效應的鐵電場效應電晶體因為在閘極電容連接後，通道在有限的閘極電壓下提供的屏蔽電荷不足以屏蔽鐵電氧化層中的電偶極，在這種不完全極化的情況下，會讓電偶極產生去極化電場，導致總電場增加，因而放大閘極電壓[10]；近幾年來，負電容電晶體因為其特性，在室溫下的次臨界擺幅(S.S.)可以達到超陡峭斜率，在 I_{ON}/I_{OFF} 的比值也可以達到很高，如此一來，可以實現超低功耗，目前，有許多研究工作都以鐵電材料為主，例如： $HfYO_x$ 、 Y_2O_3 、 $HfAlO_x$ 和 $HfZrO_x$ (HZO)，以實現更低的次臨界擺幅值，以及極低之閘極漏電流，但鐵電材料的缺點是有磁滯效應的產生(Fig.3) [11]。以下將會介紹High-k材料如何降低漏電流以及遲滯現象為何：

(1)為了讓元件效能可以提升，我們必須將閘極氧化層 SiO_2 的厚度不斷的減少，但如果 SiO_2 厚度減少到 1.5 nm 以下時，會產生漏電流上升、摻雜材料從閘極滲透、Poly-Si 會空乏的效應，而根據等效氧化層 $EOT = t_{high-k} (k_{SiO_2} / k_{high-k})$ 得知 High-k 材料在相同的等效氧化層厚度時，可以有更大的物理厚度，更大的物理厚度可以解決電子穿隧的漏電流問題，因此可以減少漏電流且可以維持一定的閘極電容，我們必須使用 High-k 材料[12]。

(2) 鐵電物質在反覆磁化下會有磁滯(hysteresis)現象的產生，即極化強度隨電場增加，當電場降為 0 後極化強度不會為 0，此時的極化值是殘存極化強度，這種現象即為磁滯現象。

2-3 負電容電晶體磁滯現象原因

鐵電材料會有磁滯效應可以由兩種方式產生(1)由鐵電氧化層的表面陷阱所導致，因為電子在施加正閘極電壓時會被陷阱捕捉，在通道形成負的陷阱電荷，這會使 V_{th} 移動就會有磁滯現象的產生。(2)由鐵電物質的鐵電性所產生，因為在閘極施放電壓下，極化會對準通道，此時通道中會感應出而外的正電荷，這也會造成 V_{th} 的移動，形成磁滯現象。[11]

根據Poisson's equation

$$|\Delta V_{th}| = \frac{qN_{it}}{C_{ox}} \rightarrow \frac{\partial|\Delta V_{th}|}{\partial(qN_{it})} = \frac{1}{C_{ox}} + \frac{1}{C_{FE}} \text{----- (公式 7)}$$

其中 N_{it} 為表面電荷密度，由(公式7)可知，負電容電晶體較一般電晶體對於表面電荷與臨界電壓間的關係更不敏感，因為負電容電晶體會有額外增加一個負電容 C_{FE} ，這會使 $\frac{1}{C_{ox}} + \frac{1}{C_{FE}}$ 的數值下降，因此造成臨界電壓改變率不會因為表面電荷的多寡有非常劇烈的改變，換句話說，表面陷阱對於負電容電晶體的影響也會低於一般電晶體。[13]

2-4 材料對於負電容電晶體之影響

近幾年來的以 $BiFeO_3$ 、PZT、PVDF、 $HfZrO(HZO)$ 、 $HfYO$ 作為材料居多，但有一些材料雖然能達到低的次臨界斜率，但也會伴隨非常明顯的磁滯現象，根據研究發現GeSn pFETs中加入一層 $HfZrO$ 鐵電層時，在退火溫度400度時，能夠達到次臨界擺幅為10 mV/dec，但磁滯卻為1.28V，這是由鐵電性控制電荷的特徵；將退火溫度從400°C增加到500°C時，因為退火溫度的增加使得鐵電極化的範圍增加，所以P/E比值有明顯提高，雖然次臨界斜率略增為20 mV/dec，但能夠使遲滯效應減少為70mV [14]，這說明了退火溫度對於鐵電物質的磁滯效應有所影響；在閘

極堆疊加入PZT鐵電層的研究中，以SOI結構可以達到S.S.為55 mV/dec，但PZT材料有與MOS電容匹配不佳以及鐵電層厚度過大等問題[15]；此外，目前以Hf最常用來當作鐵電氧化層的材料，因為Hf在製程時的兼容性較好，也遵守目前元件結構[16]。有許多鐵電材料能夠應用在負電容上，但每種鐵電材料都有其優缺點，例如HZO與MOS製程的兼容性比較好，但這種材料有非常大的磁滯現象等，有些材料也可能因為界面特性不好，會造成漏電流過大的情況，雖然有些材料可以達到非常陡峭的次臨界斜率，但也相對會伴隨著非常大的磁滯現象，如何取捨這兩種特性，是個值得研究的問題。

2-5 元件材料分析

為了解決以往SiO₂在物理厚度極限為10Å的問題(在低於此物理極限時，漏電流會上升，且閘極的摻雜材料可能會滲透到通道內)，所以必須找到可以代替的材料，這種材料必須在溫度超過1000K，與Si接觸時有很好的熱力學穩定性，且等效厚度最好要能夠少於15Å，而利用沉積非晶型的Y₂O₃作為閘極介電層，等效厚度可以為10Å，且有高介電係數、低漏電流密度及低界面態密度等不錯的電性[2-5]。摻雜Y₂O₃也可以幫助提高材料的熱穩定性，因此，對於閘極氧化層來說，Y₂O₃是很好的替代材料。

而如果利用射頻濺鍍HfYO_x在GaAs基板上且在中間鍍上一層極薄的Si界面控制層(Si ICL)，因為這個介面控制層可以鈍化HfYO_x和GaAs基板上的接面狀態，所以可以有更高的介電係數($\epsilon = 21.7$)，且遲滯電壓也有降低的趨勢，在陷阱電荷密度、界面態位密度、固定電荷密度上都比直接沉積Y₂O₃來的更低[17] (Fig.4)，由此可知在HfYO_x與GaAs基板間度上一層矽可以有效的幫助接面特性的提升，且HfYO_x在有效氧化層上的表現也高於Y₂O₃，這可以讓材料在相同的等效氧化層厚度中，有更大的物理厚度，讓漏電流變小，換句話說，HfYO_x與Si有可能有不錯的接面特性，因此使用HfYO_x當作元件的閘極氧化層是否有比其他材料更好的電性表現，是個值得研究的問題。

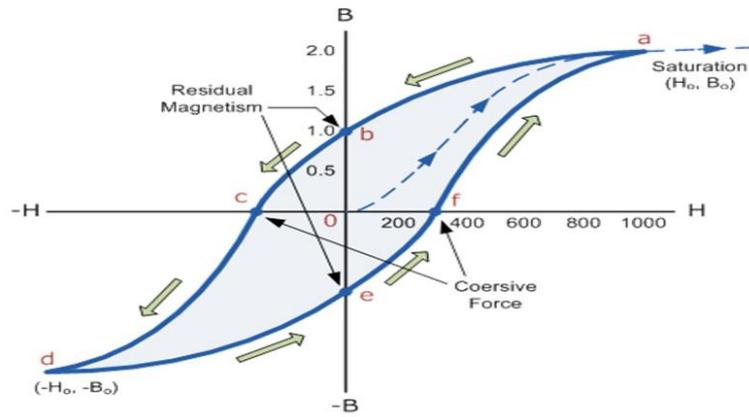


Fig.3 磁滯效應圖[11]

Electrical parameters	High-k gate dielectrics				
	Y ₂ O ₃	HfYO _x		HfAlO _x	
		No ICL	Si ICL	No ICL	Si ICL
Physical thickness (nm)	9	10	11.5	7	8.5
Dielectric constant (ε)	14.6	18	21.7	13.1	16.1
EOT (nm)	2.4	2.2	1.8	2.1	1.8
Hysteresis voltage (V)	0.22	0.58	0.14	0.55	0.11
Trapped charge density, N _t (×10 ¹² cm ⁻²)	2	5.8	1.7	4.1	2.3
Interface state density, D _{it} (×10 ¹² eV ⁻¹ cm ⁻²)	2.1	2	1	6.2	1.3
Fixed charge density, N _f (×10 ¹² cm ⁻²)	1.2	2.6	0.82	3.5	0.65

Fig.4 各種鐵電負電容材料特性比較[15]

第三章 研究方法

3-1 元件結構介紹與製程

元件電容結構以 HfYO 為閘極氧化層，使用 Metal-Ferroelectric-Insulator-Si Substrate (MFIS)電容的結構來製備試片及進行鐵電負容特性研究。即使用 P-type 的 Si 作為基板，並在上面生長 1 nm 的SiO₂當作介面層，接著在上面長 7 nm 的 Hf_{0.5}Y_{0.5}O₂ (HYO)作為元件的鐵電層，最後以 TaN 金屬作為金屬層(Fig.5)。

製程方面，我們首先利用離子佈值(ion implantation)將 Si 基板摻雜濃度為10¹⁵的 BF₂⁴⁹⁺成為 P-type (a)，接著以 950°C 的 RTA 退火 20 秒，再浸泡 10 分鐘、100°C的雙氧水生長 1 nm 的化學氧化層(b)，接著利用濺鍍(sputter)沉積 Hf_{0.5}Y_{0.5}O₂ 做為鐵電氧化層(c)，再利用 PVD 沉積 100 nm 的 TiN 做為金屬層，接著塗佈光阻並以光學步進機(I-Line)曝光(e)，定義閘極尺寸(100 μm×100 μm)並去除光阻，再分別利用微波退火(microwave annealing, MWA)在功率 2400W 下進行 100 秒、200 秒、300 秒，以及快速熱退火(rapid thermal annealing, RTA)在 550°C、650°C、750°C下進行 30 秒的退火處理(f)，進而讓 HYO 的晶相改變並產生鐵電性，並讓材料形成電耦極(dipole)，最後在矽基板背面以蒸鍍製程沉積鋁作為矽基板的電極而完成 MFIS 電容結構元件試片(如 Fig. 5-1 所示)。

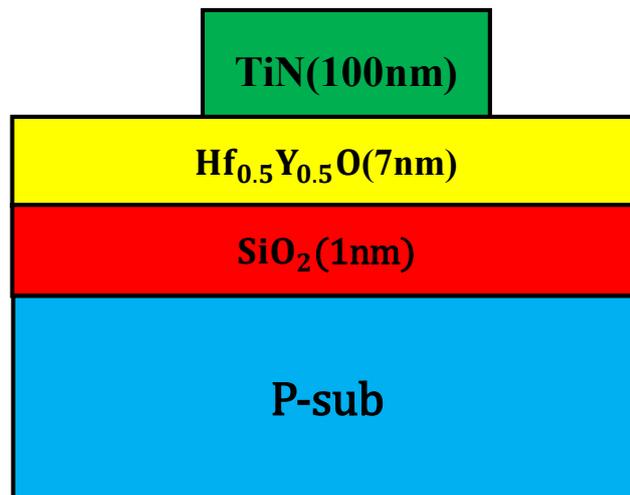
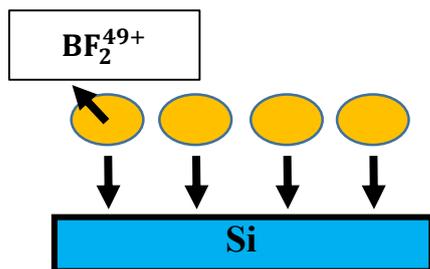


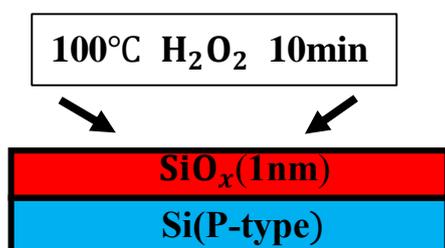
Fig.5 元件結構示意圖

(a)



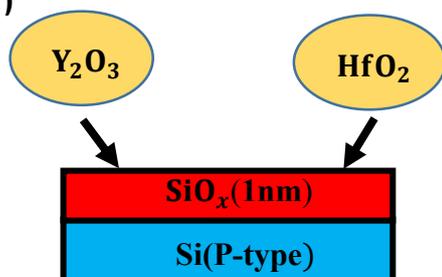
摻雜濃度為 10^{15} 的 BF_2^{49+} ，使本質矽基板轉變成 p⁺-type 矽基板。

(b)



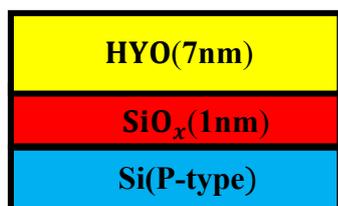
化學氧化層可以增強鐵電材料與矽基板的介面特性，我們以 100°C 的 H₂O₂ 浸泡 10 分鐘，即可長出 1 nm 的化學氧化層。

(c)



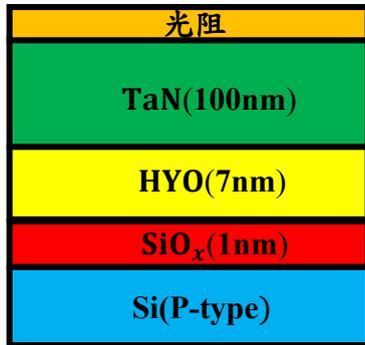
此步驟為在化學氧化層上沉積鐵電層，我們以 Sputter 在室溫下、製程壓力 7.6×10^{-3} Torr 下，以 Argon 撞擊 Y₂O₃ 以及 HfO₂ 來沉積 HfYO_x。

(d)



沉積 7 nm 之 HfYO_x 於介面層上，使其堆疊成左圖結構。

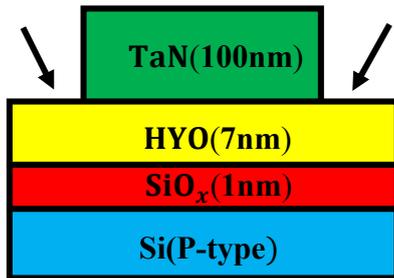
(e)



我們以 PVD 製程沉積 100 nm 的 TaN 為閘極金屬，並在閘極金屬上塗佈光阻，接著再以 I-line 曝光、定義閘極面積為 $100\ \mu\text{m} \times 100\ \mu\text{m}$ 。

(f)

MWA-2400W 100s or 200s or 300s
RTA 550°C or 650°C or 750°C for 30s



定義完閘極面積並蝕刻後，分別以常壓執行 RTA 550°C or 650°C or 750°C 及 MWA 100s or 200s or 300s 等六種退火條件退火 MFIS 元件，使鐵電層改變晶向及產生 dipole。

(g)

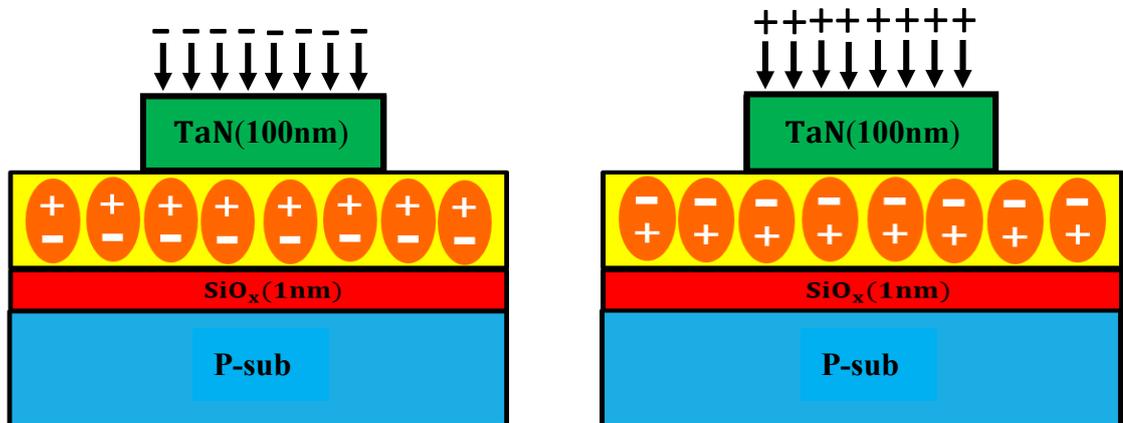


Fig. 5-1 元件製程詳細流程圖(續)

第四章 量測結果與討論

4-1 元件特性曲線理論與探討

我們以Keysight量測C-V特性圖，觀察元件電容的特性，並且加以觀察元件有無負電容效應產生。根據分析C-V圖，我們可以算出High-k材料的介電常數 ϵ 、等效氧化層厚度[18]並且可以由 $I_d - V_g$ 圖磁滯現象的順逆時針來判斷是否為鐵電性所造成磁滯。以NMOS來說，如果 $I_d - V_g$ 圖的磁滯為順時針磁滯則為陷阱導致，因為電子在正閘極電壓下會被陷阱捕捉，形成帶負電的陷阱電荷，這會造成臨界電壓(V_{th})變大(右移)，形成順時針磁滯；而如果 $I_d - V_g$ 圖的磁滯為逆時針磁滯，則為材料的鐵電性導致，因為在正閘極電壓下，極化會對準通道，此時會在通道內感應出額外的正電荷，使 V_{th} 變小(左移)，形成逆時針磁滯[11]。反之，PMOS如果觀察到逆時針的磁滯現象則代表為陷阱電荷捕捉導致，順時針磁滯則為鐵電性導致[15]。

➤ High-k 的介電常數

$$\epsilon_{hk} = \frac{C_{acchk}}{\epsilon_0 \cdot A} \text{----- (公式 7)}$$

➤ 等效氧化層厚度(EOT)

$$EOT = \frac{\epsilon_{hk} \cdot \epsilon_0 \cdot A}{C_{acchk}} \text{----- (公式 8)}$$

其中 C_{acchk} 為聚集區的電容值，A為閘極金屬的面積， ϵ_0 為真空的介電常數(公式7、公式8)。我們也量測元件的 $I_g - V_g$ 特性曲線，用來觀察元件漏電流是否太大，以及元件運作是否正常。

4-2 NC-MFIS P-V 特性曲線量測

此節主要探討元件矯頑電壓(coercive voltage, V_c)、殘餘極化(remanent polarization, P_r)大小，並觀察在不同退火製程條件下，磁滯迴圈的寬度，藉此了解此材料在何種製程條件下有較好的極化表現。一般而言，如果材料有較大的極化特性，則量測 P-V 特性後可以發現磁滯迴圈會有較大的寬度；反之，如果材料較無極化特性，則磁滯迴圈會較窄。使用新竹國家奈米實驗室(NDL)儀器量測此 P-V 特性，量測方式為一開始無施加偏壓(0V)，接著慢慢施加偏壓至 2.5 V，再從 2.5 V 減少至 -2.5 V，最後從 -2.5 V 回至 0 V，完成一個循環，每次增加的偏壓為 0.2V 並記錄對應的極化值，製作成 P-V 特性曲線。比較各製程條件後，發現在微波退火製程條件下，如 Fig. 6 與 Fig. 7 所示，磁滯曲線差異不大，雖皆有微弱的殘餘極化，但無法觀察到明顯的極化特性，而 Fig. 8 在微波退火製程 300s 下有較大之磁滯曲線顯示有較大之殘餘極化值。而以 RTA 退火的製程條件中，如 Fig. 9、Fig. 10 與 Fig. 11 所示，可以觀察到磁滯迴圈有逐漸變大趨勢，在 RTA 550°C 時，其殘餘極化及矯頑電壓不明顯，但退火溫度升高至 750°C 時，可以明顯發現磁滯迴圈變大，如 Fig. 11 所示，這意味在這種製程條件下，可以觀察到較明顯之殘餘極化。

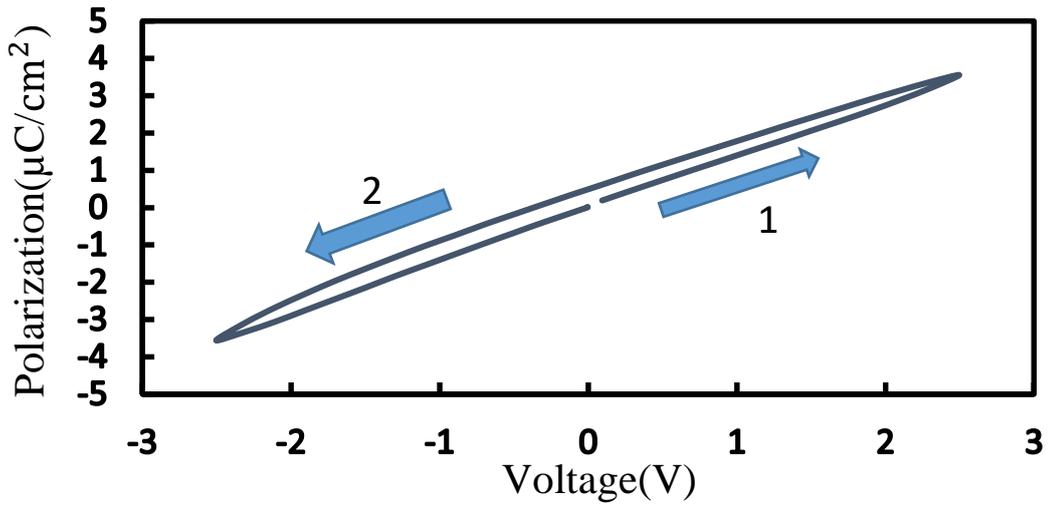


Fig.6 鐵電材料HfYO_x (7nm)之MFIS電容結構經微波退火2400W/100s之P-V曲線圖

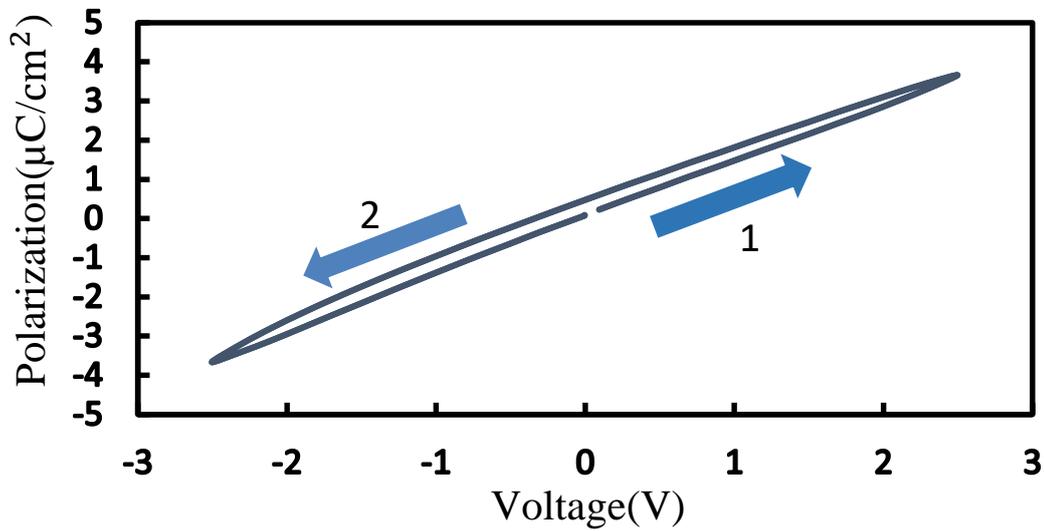


Fig.7 鐵電材料HfYO_x (7nm)之MFIS電容結構經微波退火2400W/200s之P-V曲線圖

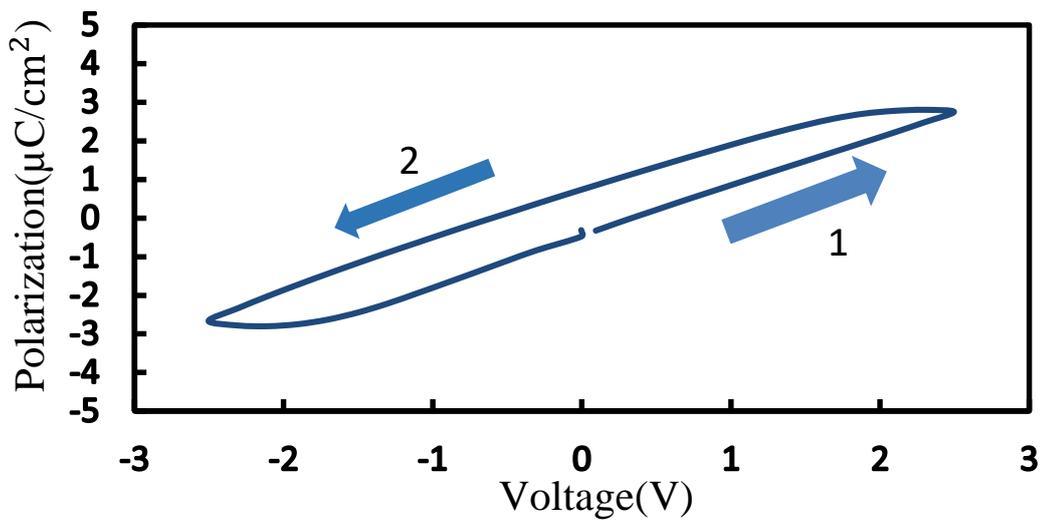


Fig.8 鐵電材料HfYO_x (7nm)之MFIS電容結構經微波退火2400W/300s之P-V曲線圖

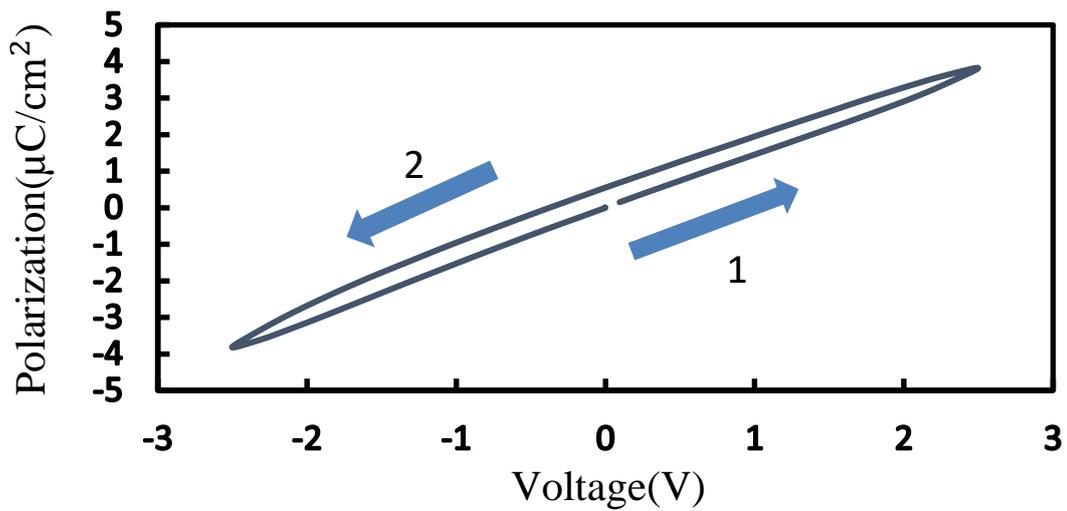


Fig.9 鐵電材料HfYO_x (7nm)之MFIS電容結構經RTA 550°C退火之P-V曲線圖

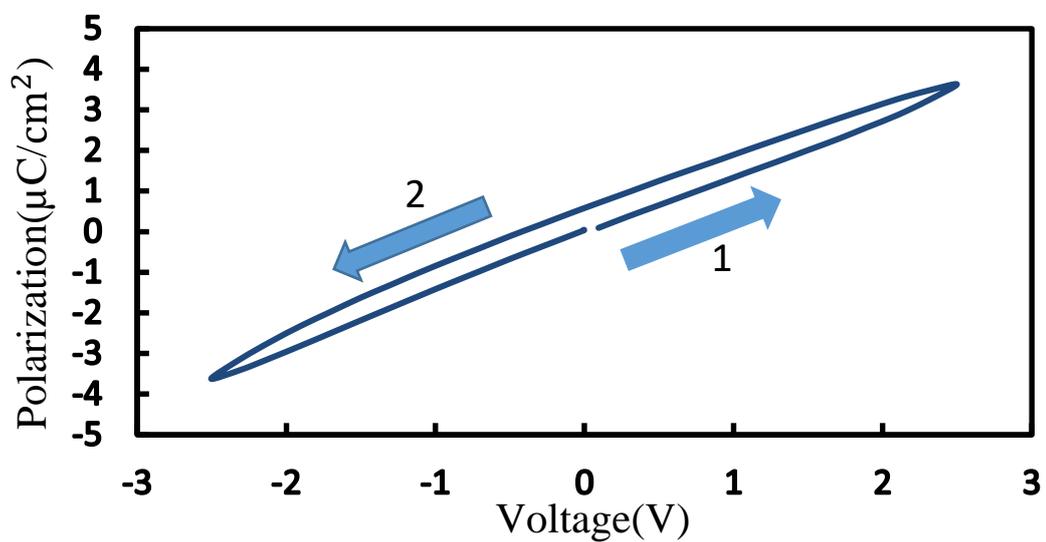


Fig.10 鐵電材料HfYO_x (7nm)之MFIS電容結構經RTA 650°C退火之P-V曲線圖

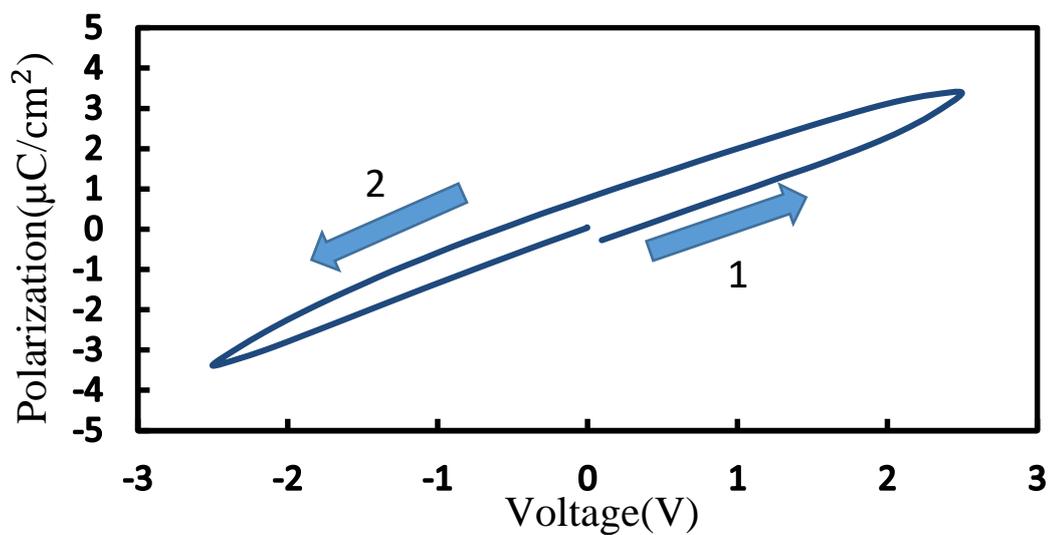


Fig.11 鐵電材料HfYO_x (7nm)之MFIS電容結構經RTA 750°C退火之P-V曲線圖

4-3 NC-MFIS I-V 特性曲線量測

本小節將討論 MFIS 元件閘極漏電流，我們以量測 $I_g - V_g$ 來觀察元件閘極漏電流是否太大，假如觀察到過大的漏電流(約 $10^{-4}A$)以上時，這表示在往後量測 C-V 特性曲線時會有很大的誤差，因此在量測到過大漏電流後，我們將不採用在此漏電流下的 C-V 特性曲線；而我們量測此 I-V 特性曲線的方法是一開始施加 $-/+2V$ 偏壓，進行過一次正、反掃後，再進行 $-/+3V$ 偏壓正、反掃，慢慢將電壓逐漸加大，雖然加大閘極電壓漏電流本來就會微量上升，但當加到一定電壓時，我們會發現漏電流有突然上升數個數量級時，代表此元件氧化層已崩潰，有極大的電荷穿隧效應產生，也代表此時的氧化層特性已經被破壞，除了鐵電特性無法好好表現會有偏差之外，此時的氧化層已經不再具有絕緣的效果，量出來的 I-V 特性圖也不能以一般 MOS 電容結構的角度來看待了，因此我們最後只採納到氧化層崩潰以前的數據做為實驗分析用途。

此項特性是用四點探針量測，在測量每個 C-V 圖前皆會先進行 I-V 量測，起始電壓我們統一都從 $-2V$ 的電壓開始，接著以 $0.1V$ 的間隔慢慢提高電壓至 $2V$ (稱為正掃)，再從 $2V$ 減少電壓至 $-2V$ (稱為反掃)，完成一次循環並記錄各節點的電流值，紀錄完成後，提高電壓至 $-3V \sim 3V$ 並再執行一次循環，接著再加大電壓直到氧化層崩潰為止，完成此節量測。

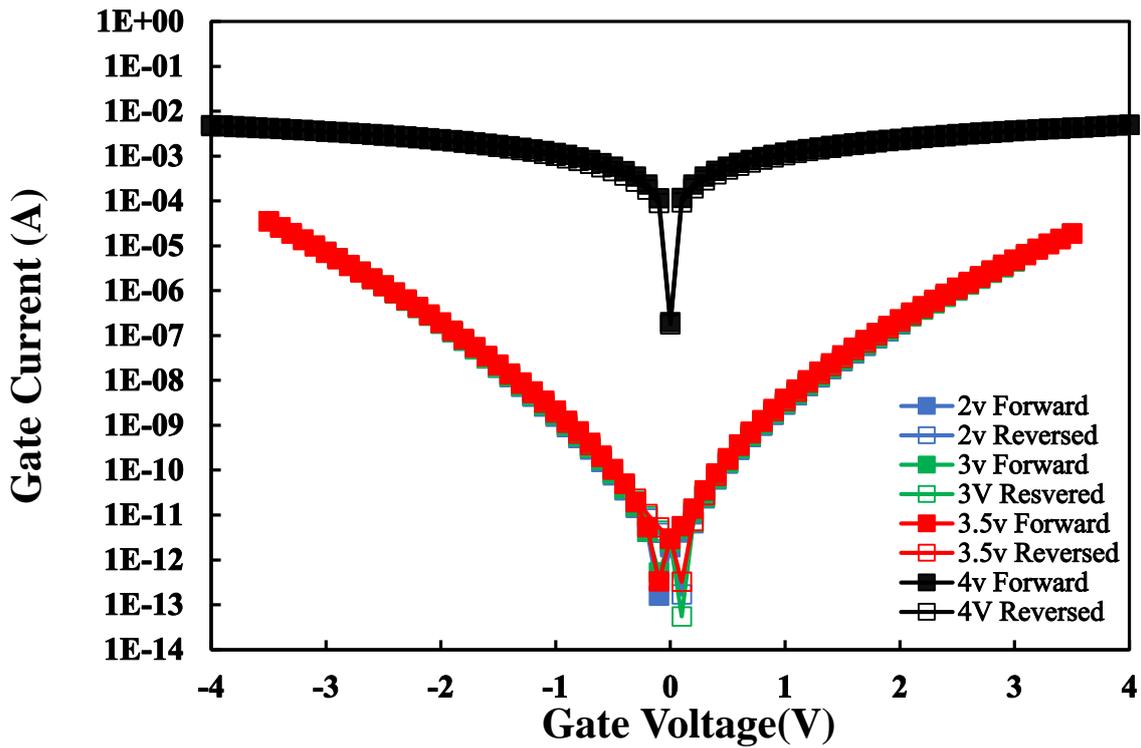


Fig.12 鐵電材料 HfYO_x (7nm)之 MFIS 電容結構經微波退火 2400W/100s 之 I_g - V_g 曲線圖

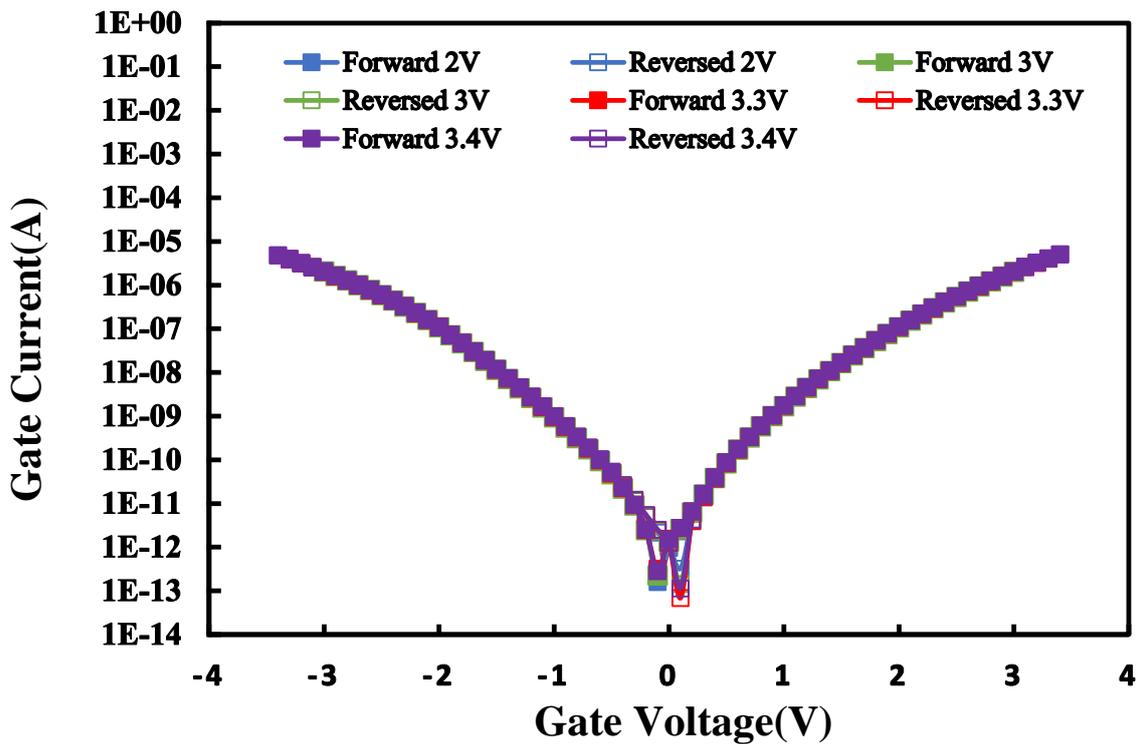


Fig.13 鐵電材料 HfYO_x (7nm)之 MFIS 電容結構經微波退火 2400W/200s 之 I_g - V_g 曲線

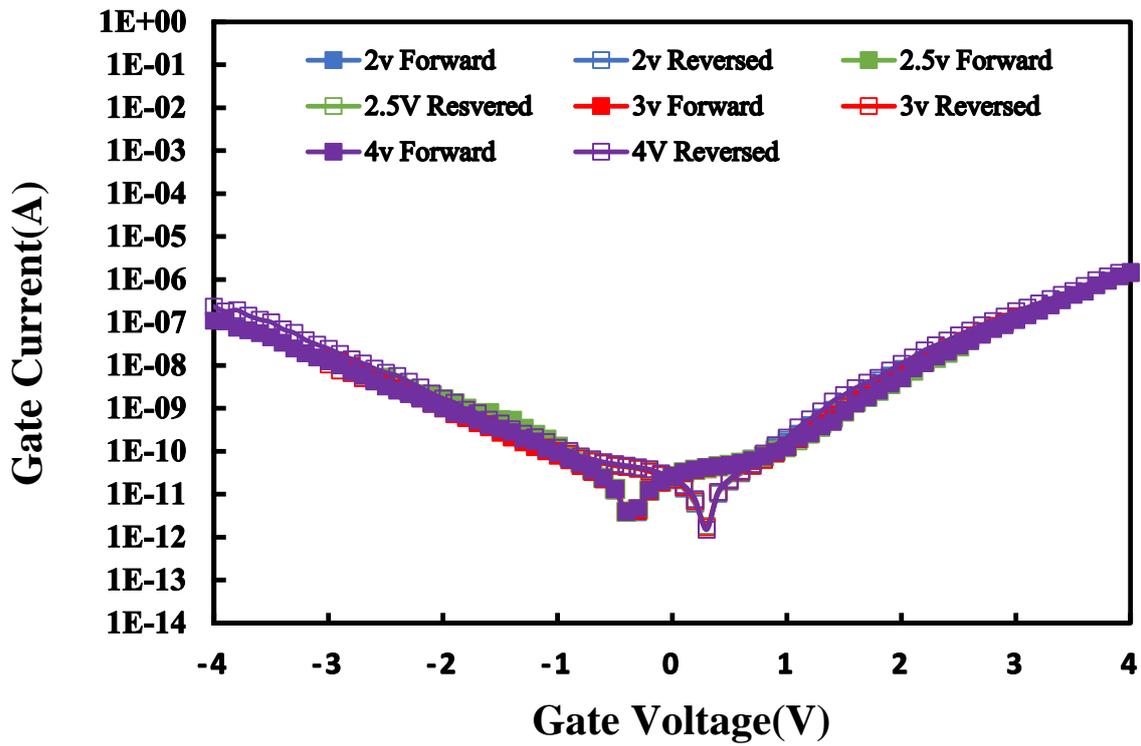


Fig.14 鐵電材料 HfYO_x (7nm)之 MFIS 電容結構經微波退火 2400W/300s 之 I_g - V_g 曲

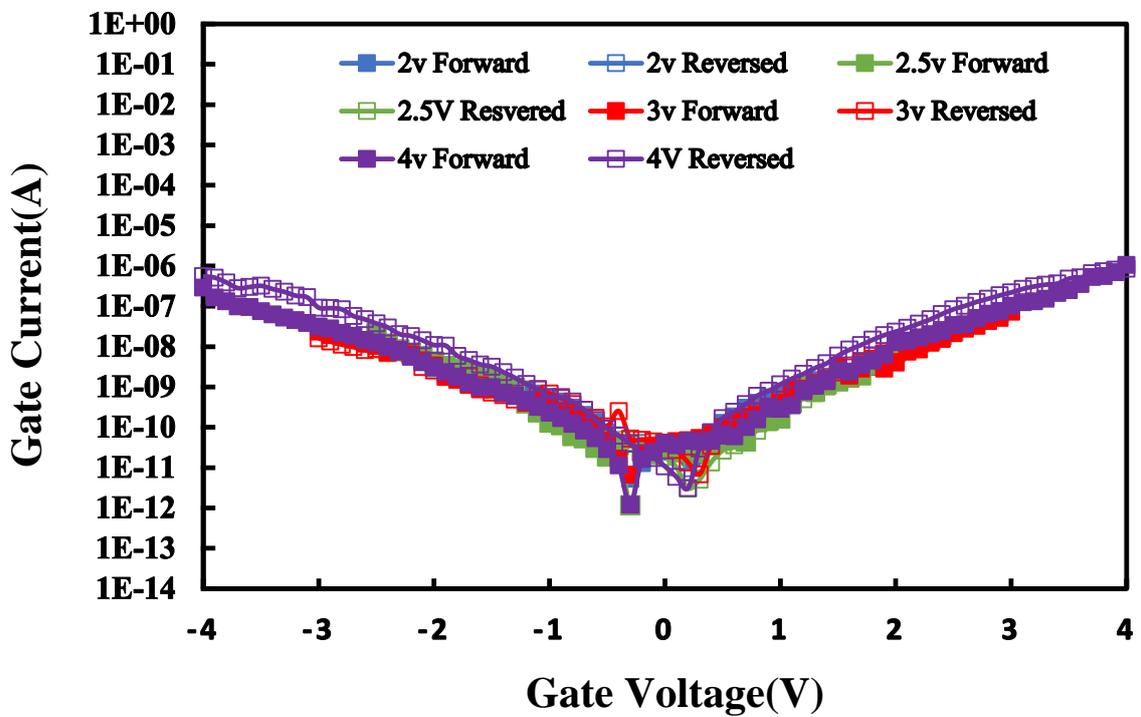


Fig.15 鐵電材料 HfYO_x (7nm)之 MFIS 電容結構經 RTA 550°C退火之 I_g - V_g 曲線圖

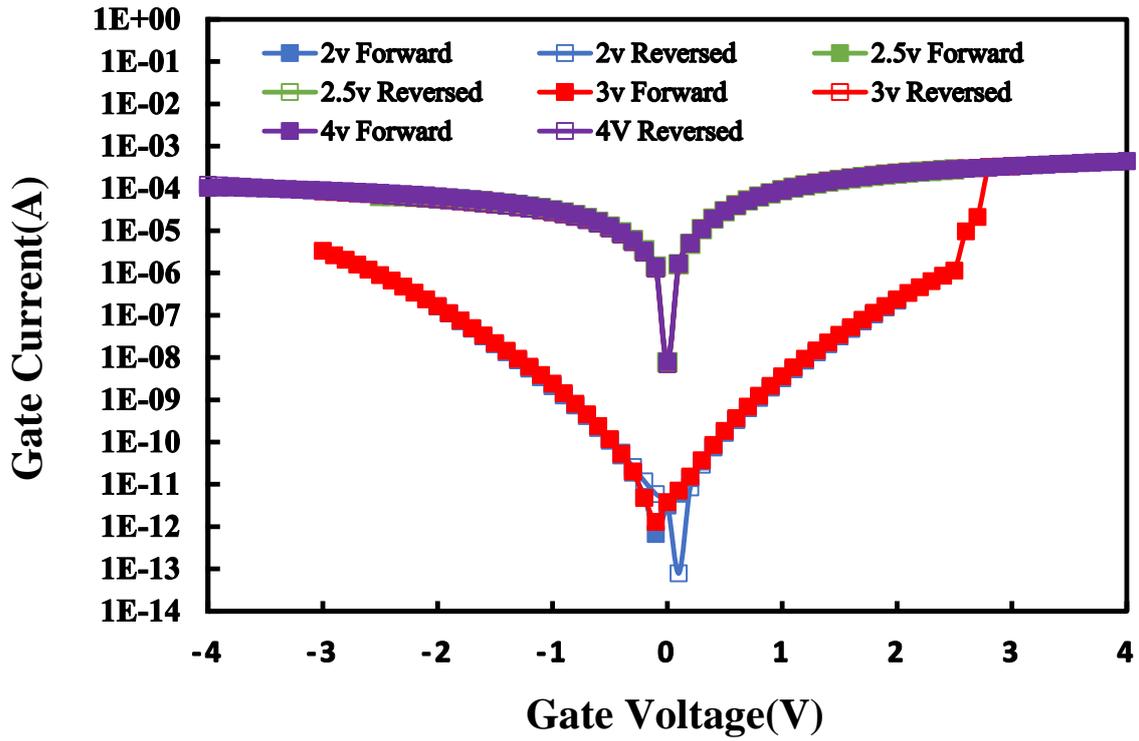


Fig.16 鐵電材料 HfYO_x (7nm)之 MFIS 電容結構經 RTA 650°C退火之 I_g - V_g 曲線圖

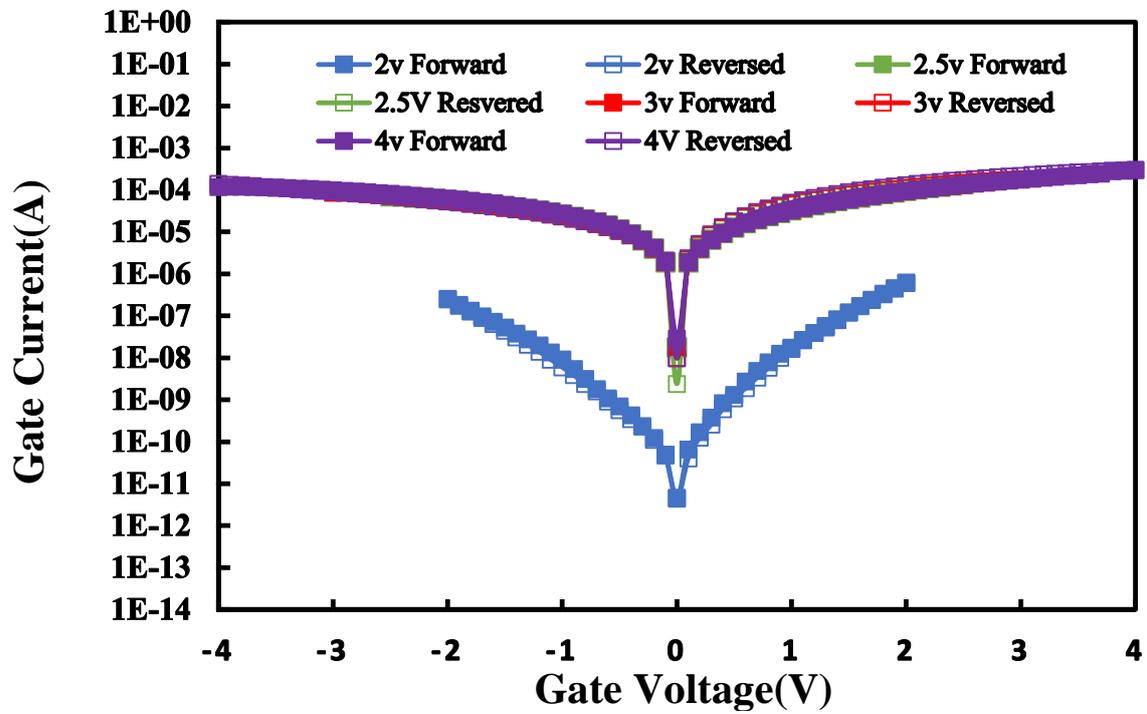


Fig.17 鐵電材料 HfYO_x (7nm)之 MFIS 電容結構經 RTA 750°C退火之 I_g - V_g 曲線圖

Table.1 不同退火時間 I_g-V_g 漏電流分析(可承受最大電壓下)

時間/製程(最大電壓)	100s(3.5V)	200s(3.4V)	300s(4V)
MWA	3.51×10^{-5}	4.75×10^{-6}	1.09×10^{-7}

Table.2 不同退火溫度 I_g-V_g 漏電流分析(可承受最大電壓下)

溫度/製程(最大電壓)	550°C(4V)	650°C(3V)	750°C(2V)
RTA	2.91×10^{-7}	3.36×10^{-6}	2.55×10^{-7}

由 Fig. 12、Fig. 13 與 Fig. 14 的 I_g-V_g 結果分析來看，可以知道以微波退火來說，退火 300 秒 (Fig. 14)後會比退火 200 秒 (Fig. 13)及 100 秒 (Fig. 12)的漏電流小一個數量級，且可承受的最大電壓更大，所以可知此元件在微波退火 300 秒時的界面會比較好，氧化層的抗崩潰程度較高，也比較不容易產生漏電。以 Fig. 15、Fig. 16 與 Fig. 17 之 RTA 的 I_g-V_g 結果分析，可以看出在 550°C時(Fig. 15)可以承受到 4V 偏壓都還沒有氧化層直接穿隧的狀況，可以知道氧化層界面比 650°C與 750°C退火溫度時的表現還好。

4-4 NC-MFIS C-V 特性曲線量測

此小節將比較以微波退火製程(MWA 2400W)分別退火鐵電氧化層 100 秒及 200 秒後的 C-V 特性曲線量測，主要觀察在何種製程溫度下，負電容效應最為明顯以電容的峰值作為比較依據，在鐵電電容越接近 MOS 電容時，此峰值越高，因此可以利用此觀念來觀察負電容效應的明顯程度。

此項特性是用四點探針量測，我們以基板為輸入訊號端，然而閘極為輸出訊號端，目的是為了減少寄生電容的效應；在量測 C-V 特性前，我們會在每一個電壓範圍增加後做 I-V 特性的測試，測試氧化層是否崩潰，如果無崩潰才會進行 C-V 量測，所以測試完 I-V 後會先施加 -2 V 的電壓至基板，接著以 0.1 V 的間隔慢慢提高電壓至 2 V (稱為正掃)，再從 2 V 減少電壓至 -2 V (稱為反掃)，完成一次循環並記錄各節點的電容值，紀錄完成後，提高電壓至 -3 V~3 V 並再執行一次循環，接著再加大電壓直到氧化層崩潰為止，完成此節量測。雖然本研究有製作 RTA 製程條件的元件，但此元件之 C-V 特性曲線可能因表面特性不佳而無法得到量測數據，因此，本小節僅觀察比較 MWA 2400W 100s 與 200s 的電容量測結果。

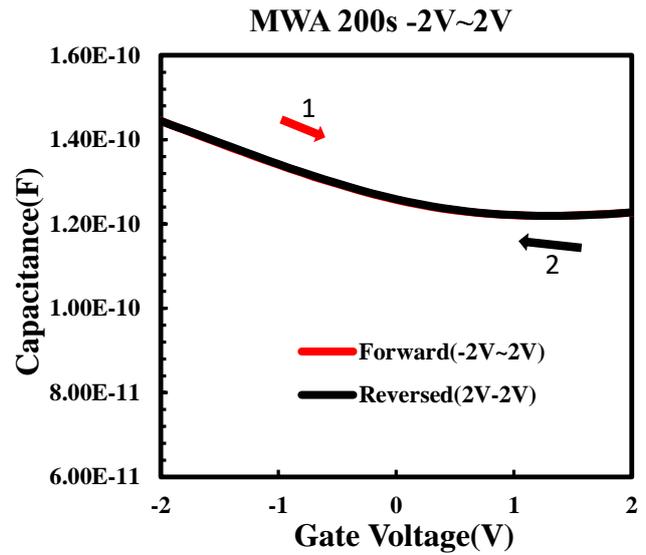
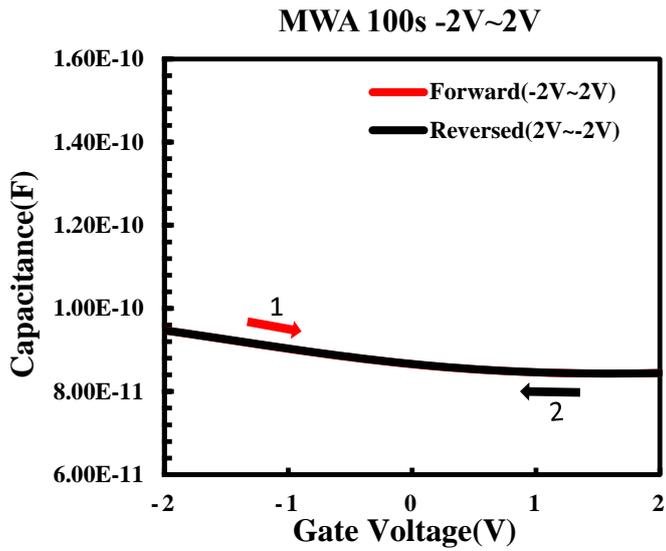


Fig.18 鐵電材料 HfYO_x (7nm)之 MFIS 電容結構經微波退火 100s(左圖)與 200s(右圖)之 C-V 曲線圖，其中量測電壓由-2V~2V。

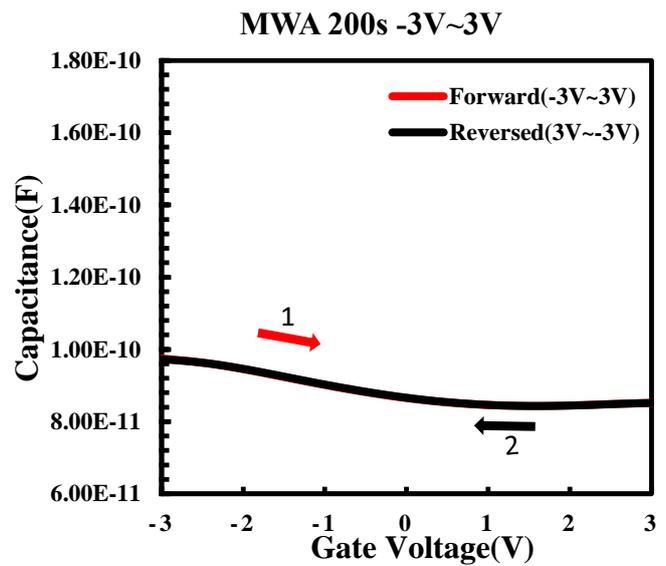
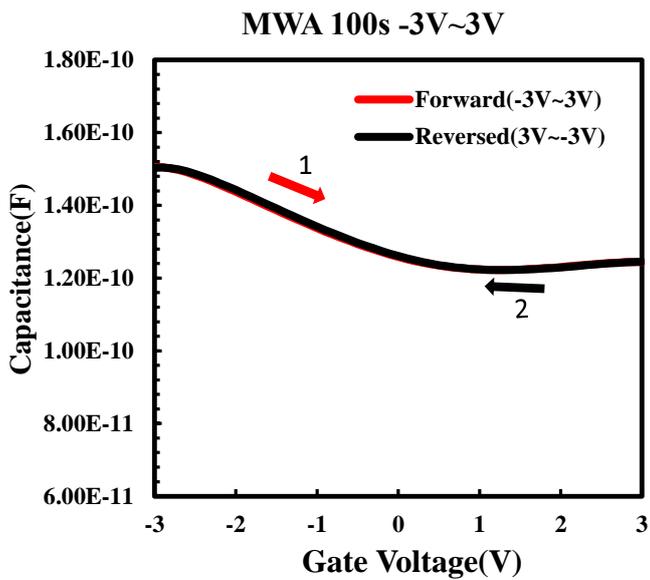


Fig.19 鐵電材料 HfYO_x (7nm)之 MFIS 電容結構經微波退火 100s(左圖)與 200s(右圖)之 C-V 曲線圖，其中量測電壓由-3V~3V。

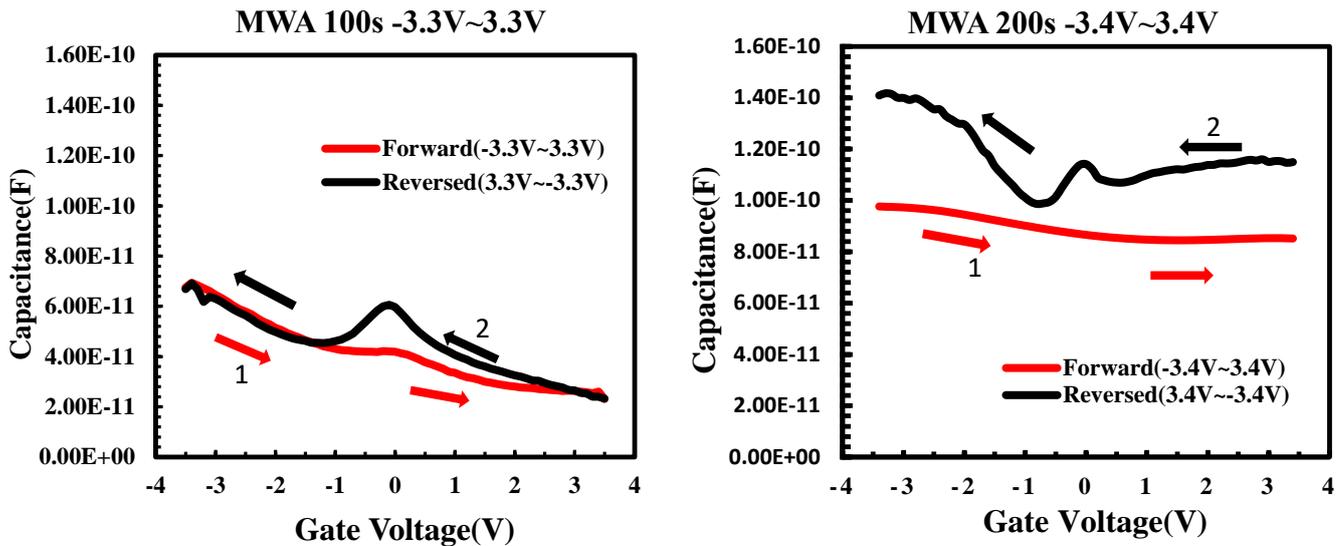


Fig.20 鐵電材料 HfYO_x (7nm)之 MFIS 電容結構經微波退火 100s(左圖)之 C-V 曲線圖，其量測電壓由-3.3V 到+3.3V，以及微波退火 200s(右圖)之 C-V 曲線圖，其量測電壓由-3.4V 到+3.4V

Table.3 不同退火時間 C-V 分析(有負電容效應下)

電容/製程條件	MWA 100 秒	MWA 200 秒
C_{peak}	6.06E-11	1.14E-10

對於 HfYO_x 不同退火時間的微波退火比較，如 Fig. 18、Fig. 19、Fig. 20 所示，可以發現 100 秒退火時間在加小偏壓的時候電容值比 200 秒退火時間大(圖沒有顯示)。而微波退火的元件，當電壓加到約 3.3V~3.4V 的偏壓時(如 Fig. 20)，可以觀察到電容值有突起的現象，這代表有負電容效應產生，且此時的 200 秒電容值會比 100 秒退火高出許多，因此，在有負電容效應產生時，微波退火時間 200 秒比 100 秒的結果較佳。

4-5 NC-MFIS 不同製程條件實驗量測特性分析結果

在微波退火 100 秒及 200 秒分別在 3.5V 與 3.4V 時都可以觀察到有負電容效應產生，但當我們微波退火 300 秒後，雖然從漏電流的情況來看是沒有問題的，不過當我們在量測 C-V 特性曲線時，卻始終無法量測到數值，僅會量測到雜訊，

因此本計畫無放置微波退火 300 秒時的 C-V 特性曲線圖。而在量測以 RTA 退火時也是有同樣的情況產生，故我們只能得知經 RTA 550°C/650°C/750°C 後的閘極漏電流是沒有嚴重的漏電現象，但 C-V 特性曲線我們仍然無法量測到。

Table.4 遲滯電壓範圍

MWA	100s	200s
Hysteresis	0.1V	—

從微波退火 100 秒及 200 秒的 C-V 特性曲線中，發現在兩種不同製程條件下，再產生負電容效應的偏壓大小皆為 0.1V，且時間 100 秒下的曲線幾乎無遲滯現象，而 200 秒因為正掃時無負電容效應，所以無法得知遲滯電壓。

而在施加 2V 與 3V 偏壓時的曲線非常平緩，無遲滯現象，也無負電容效應產生，因此可以知道在 2V、3V 偏壓下無法使電耦極(dipole)反轉，需施加到一定的偏壓後才會使電耦極(dipole)反轉，產生負電容效應。

4-6 文獻比較

根據[18]，利用 4.5 nm 的 HZO 作為 MFMIS 結構的鐵電層，且在 C-V 特性曲線量測也出現了峰值，而此峰值會出現在鐵電層電容(C_{FE})為負且電容值大於或大約等於元件電容($C_{ox}+C_s$)時，然而，本研究的 C-V 特性曲線也與此論文有一致性，皆有峰值產生，以下為特性比較。

Table. 5 元件特性比較

比較項目 材料	厚度	C_{peak}	量測頻率	P_r	$E_c(V_c)$
HZO[Ref.18]	4.5 nm	~50(fF/ μm^2)	10kHz	~5($\mu C/cm^2$)	~1.5(MV/cm)
HYO[本計畫]	7 nm	~11(fF/ μm^2)	100kHz	~0.5($\mu C/cm^2$)	~-0.07(MV/cm) (-0.05V)

本研究是以 HYO 作為電容片的鐵電層材料，而對照樣本為以 HZO 作為 MFMIS 元件的鐵電層材料，雖然對照組的 C_{peak} 較高，但因為我們鐵電層的厚度是比較厚的，所以峰值較低也屬正常，而在 P_r 與 $E_c(V_c)$ 方面，HYO 的極化特性較不明顯，

這可能與沉積鐵電層的製程方式有關，本研究是以濺鍍方式沉積 HYO，此方法的表面均勻度沒有使用 ALD 均勻，表面特性也無 ALD 製程優良，這也可能是造成此電容片鐵電性不明顯的原因之一。

第五章 結論

針對負電容閘極奈米場效電晶體不同退火製程條件之特性研究，我們透過研讀論文蒐集相關資料，來獲取其負電容的操作原理與特性曲線，並到新竹國家奈米實驗室(NDL)進行實際晶片製作與量測，並加以分析。

本計畫以濺鍍製程沉積 HfYO 為 MFIS 結構電容片的鐵電層，觀察有無負電容效應，而經過了 P-V、I-V、C-V 量測後，從 P-V 特性曲線的寬窄可以看出此材料的極化特性並不明顯，但在 RTA 750°C 製程條件下可觀察到最大的磁滯迴圈，這意味有較明顯的極化現象，而本研究的極化特性較不明顯可能跟材料本身與沉積的製程條件有關，在沉積鐵電層方面以 ALD 製程較為適合。經過量測本元件之 I-V 特性後，可得知抵抗電場強度方面有不錯的表現，經 MWA 300s、RTA 550°C 退火後的樣本當施加偏壓至 4V 仍然有正常的閘極漏電流曲線，代表此製程下的氧化層在高電場下仍不會崩潰。最後討論 C-V 特性曲線後可得知，經微波退火 100 秒及 200 秒後的樣本，施加偏壓至 3.4V~3.5V 時，因極化較明顯，所以有電容峰值產生，這個峰值意味有負電容效應產生，因為只有在鐵電層的電容值大於或約等於串聯 MOS 電容值時，才會有峰值產生。此外，綜合 MWA、RTA 不同之退火製程條件，觀察後發現以 MWA 200 秒退火鐵電氧化層較為適合，在閘極漏電流及電容值上較其他製程都有不錯的表現。

參考文獻

- [1] 朱俊霖, “Development of Ge/III-V Fin Field-Effect Transistor Common Gate Process and Its Numerical Simulations,” *NANO COMMUNICATION* 24卷No. 1, 2017.
- [2] J. Kwo, M. Hong, A. R. Kortan, K. T. Queeney, Y. J. Chabal, J. P. Mannaerts, T. Boone, J. J. Krajewski, A. M. Sergent, and J. M. Rosamilia, “High ϵ Gate Dielectrics Gd_2O_3 and Y_2O_3 for Silicon,” *Appl. Phys. Lett.*, Vol. 77, No. 1, 3 July 2000.
- [3] W. Busch, J. Kwo, M. Hong, J. P. Mannaerts, and B. J. Sapjeta, “Interface Reactions of High-k Y_2O_3 Gate Oxides with Si,” *Appl. Phys. Lett.*, Vol 79, No. 15, 8 October 2001.
- [4] Kwo. M. Hong, A. R. Kortan, K. L. Queeney, Y. J. Chabal, R. L. Opila, Jr., D. A. Muller, S. N. G. Chu, B. J. Sapjeta, T. S. Lay, J. P. Mannaerts, T. Boone, H. W. Krautter, J. J. Krajewski, A. M. Serngnt, and J. M. Rosamilia, “Properties of High k Gate Dielectrics Gd_2O_3 and Y_2O_3 for Si,” *J. Appl. Phys.*, Vol 89, No. 7, 1 April 2001.
- [5] T. S. Lay, Y. Y. Liao, W. D. Liu, Y. H. Lai, W. H. Hung, J. Kwo, M. Hong, and J. P. Mannaerts, “Electrical and Interfacial Studies on High-k Y_2O_3/Si Structure,” in *IEDMS*, 2002.
- [6] C.Y. Han, W.M. Tang, C.H. Leung and P.T. Lai, “Pentacene organic thin-film transistor with HfYO gate dielectric made on adhesive vacuum tape,” *ELECTRONICS LETTERS* 16th, April 2015 Vol. 51 No. 8 pp. 644–646
- [7] Asif Islam Khan, “Negative Capacitance for Ultra-low Power Computing,” *University of California, Berkeley*, pp.10 ~14, 2015.
- [8] Ing. Filip Guemann, “GaAs-based MOS Structures,” PhD. Thesis ,December 2015.
- [9] 李愷信, “低於60毫伏特次臨界擺幅之負電容效應鰭式場效電晶體,” *NANO COMMUNICATION* 23卷NO. 2, 2016.
- [10] Qinghua Han, Thomas Carl Ulrich Tromm, Juergen Schubert, Siegfried Mantl and Qing-Tai Zhao, “Steep Slope Negative Capacitance FDSOI MOSFETs with Ferroelectric HfYOx,” *Joint International EUROSOFI Workshop and*

International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS), 2018.

- [11] Ahmed Mohammed Alyousef, Hamed Sultan Alamry, “Electrical power transformer,” *Bachelor thesis Electrical engineering*, pp. 17, June 2016.
- [12] S. Mallik, C. Mahata¹, M. K. Hota¹, C. K. Sarkar² and C. K. Maiti¹, “Charge Trapping Characteristics of HfYO_x Gate Dielectrics on SiGe,” *17th IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits*, 2010.
- [13] Ho-Pei Lee, Kuei-Yang Tseng, and Pin Su, “Interface Discrete Trap Induced Variability for Negative Capacitance FinFETs,” *International Symposium on VLSI Technology, Systems and Application (VLSI-TSA)*, 2018.
- [14] Jiuren Zhou, Genquan Han, Yue Peng, Yan Liu, Jincheng Zhang, Qing-Qing Sun, David Wei Zhang, and Yue Hao, “Ferroelectric Negative Capacitance GeSn PFETs With Sub-20 mV/decade Subthreshold Swing,” *IEEE Electron Device Letters*, Volume: 38, Issue: 8, Aug. 2017.
- [15] Ali Saeidi, Farzan Jazaeri, Igor Stolichnov, and Adrian M. Ionescu, “Double-Gate Negative-Capacitance MOSFET With PZT Gate-Stack on Ultra Thin Body SOI: An Experimentally Calibrated Simulation Study of Device Performance,” *IEEE Transactions on Electron Devices*, Volume: 63, Issue: 12, Dec. 2016.
- [16] M. H. Lee¹, P.-G. Chen, S.-T. Fan, Y.-C. Chou, C.-Y. Kuo, C.-H. Tang, H.-H. Chen, S.-S. Gu, R.-C. Hong, Z.-Y. Wang, S.-Y. Chen, C.-Y. Liao, K.-T. Chen, S. T. Chang, M.-H. Liao, K.-S. Li, and C. W. Liu, “Ferroelectric Al: HfO₂ Negative Capacitance FETs,” *IEEE International Electron Devices Meeting (IEDM)*, 2017.
- [17] Goutam Kumar Dalapati, Yi Tong, Wei-Yip Loh, Hoe Keat Mun, Byung Jin Cho, “Electrical and Interfacial Characterization of Atomic Layer Deposited High- κ Gate Dielectrics on GaAs for Advanced CMOS Devices,” *IEEE Transactions on Electron Devices*, Issue: 8, Aug. 2007.
- [18] Jing Li, Jiuren Zhou, Genquan Han, Member, Yan Liu, Yue Peng, Jincheng Zhang, Qing-Qing Sun, David Wei Zhang, and Yue Hao, “Correlation of Gate Capacitance with Drive Current and Transconductance in Negative Capacitance Ge PFETs,” *IEEE ELECTRON DEVICE LETTERS*, VOL. 38, NO. 10, OCTOBER 2017.