

# 低功率及高速度十顆電晶體之全加器的設計

## Design of Low-Power and High Speed Ten-Transistor Full Adders

謝韶徽(Shao-Hui Shieh)、張庭瑋(Tin-Wei Chang)\*、游信強(Hsin-Chiang You)

國立勤益科技大學 電子工程系

{ssh, hcyou}@ncut.edu.tw, \*templar0510@hotmail.com

### 摘要

全加器(Full Adder)在計算機算術電路設計上是非常重要的基本結構,全加器經常被運用到高性能算術單元設計中,如中央處理器(Central Processing Unit, CPU)裡面的算術邏輯單元(Arithmetic Logic Unit, ALU)以及各式高性能的信號處理應用系統上。能夠降低加法器的功率消耗或是改善加法器的延遲時間,便能提昇整體電路的效能與功耗。目前全加器之設計以十顆電晶體(Ten-Transistor, 10-T)所構成之電路架構最為精簡,本篇論文運用新穎的互斥或閘(Exclusive OR, XOR)和互斥反或閘(Exclusive NOR, XNOR)為基礎,以系統化的模組設計方法提出一系列共 42 種新的十顆電晶體全加器設計。基於 TSMC 0.35 um 2P4M 製程技術進行設計與實驗,經由實驗結果證明,42 種新的十顆電晶體全加器設計中,FA-24 是這幾種架構中延遲時間(Td)性能最佳者,其Td為 0.0145nS;其中 FA-40 之平均功率消耗最佳,其值為 8.34uW;而 FA-12 的功率延遲乘積最優異,其功率延遲乘積為 2.40 uW×nS。同時,我們應用新的 10-T 全加器設計 4-Bit 漣波進位加法器晶片,並將成果送交國家晶片設計中心(CIC)製作成矽晶片以為實體驗證。

**關鍵詞:** 全加器、XOR-XNOR、功率消耗、延遲時間

### 1. 前言

全加器(Full Adder, FA)是加法器(Adder)、乘法器(Multiplier)、微處理器(Microprocessor)與數位信號處理器(Digital Processing Unit, DPU)...等高性能算術運算積體電路(Integrated Circuit, IC)設計的最重要基本建構基石,所以提升全加器的電路性能即可大幅改善算術運算電路的整體效能。近年來由於使用可攜式消費性電子產品的流行及需求增加,所以對於高運算速度及低功率技術積體電路設計顯得更加重要。另外,在電路的特性方面,若全加器電路無輸出驅動能力,在串接多級後會因為負載太大無法正常運作,而具有輸出驅動能力之加法器電路則可以串接多級做多位元的正確運算。如果全加器電路所有節點都具有全擺幅的電壓準位,則適合於低電壓操作的電路系統。但是具備輸出驅動能力及全擺幅節點電壓的全加器電路將具有較多的電晶體數、消耗更多的功率及降低電路的運算速度。所以設計具有輸出驅動能力及全擺幅電壓之高運

算速度、低功率消耗、低電晶體數的全加器核心電路是目前研究的重點之一。

在本篇論文中,運用新穎的互斥或閘(Exclusive OR, XOR)和互斥反或閘(Exclusive NOR, XNOR)為基礎,以系統化的模組設計方法架構出一系列共 42 種新的十顆電晶體全加器設計,為目前全加器最為精簡之電路設計架構[1-11]。

### 2. 全加器設計原理與電路架構

全加器的布林代數式可表示成如下(1)-(3)式:

$$SUM = A \oplus B \oplus CIN \quad (1)$$

$$SUM = A \odot B \odot CIN \quad (2)$$

$$COUT = A(A \odot B) + CIN(A \oplus B) \quad (3)$$

在文獻[4]中,已提出式(1)-(3)來表示全加器的布林代數式,其中 COUT 的布林代數是以式(3)表示,以 A 接 XNOR 與 CIN 接 XOR 而成;而在本篇論文中,COUT 的布林代數表示則是將原本式(3)的 A 接點改成 B 接點,並且以 B 接 XNOR 與 CIN 接 XOR 而成,整個 COUT 的布林代數表示式如下(4)所示:

$$COUT = B(A \odot B) + CIN(A \oplus B) \quad (4)$$

#### 2.1 新穎的 XOR 與 XNOR 閘

##### 2.1.1 SER-XOR/XNOR

在文獻[3-4]提出 SER (Static Energy-Recover) XOR/XNOR 所組成的全加器,此電路具有利用能量回收再利用的方式,成功的來減少功率消耗;在文獻[4-5]中,將其設計發表之 10-T 全加器取名為 SERF,其中 SER-XOR/XNOR 之架構如圖 1 所示。

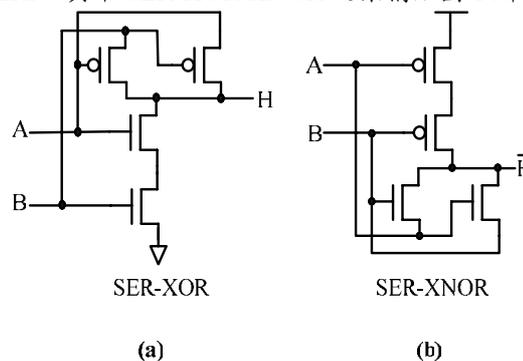


圖 1. SER-XOR/XNOR

### 2.1.2 INV-XOR/XNOR

INV-XOR/XNOR 因其電路架構中，可以明顯看出有反相器(Inverter, INV)的存在，所以又稱其架構為 Inverter-Based XOR/XNOR；圖 2(a) 是 INV-XOR 的電路，而圖 2(b)是 INV-XNOR，其整體電路架構如圖 2 所示。

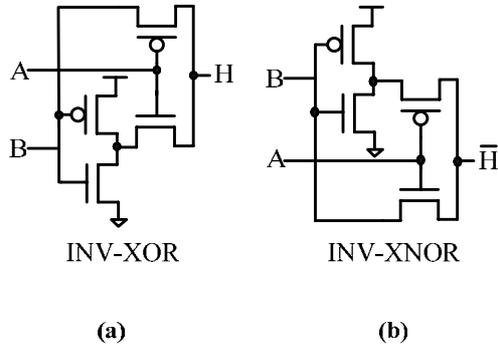


圖 2. INV-XOR/XNOR

### 2.1.3 P-XOR / G-XNOR

P-XOR 的架構中，電晶體並無連接到電源 VDD 端，故稱其為未接電源 Powerless (P)；而 G-XNOR 電路架構中，電晶體並沒連接到地端 GND，故稱其為未接地 Groundless (G)，在圖 3(a)可看出未接電源端(VDD)，而圖 3(b)則未接地端(GND)，兩者之整體電路架構如圖 3 所示。

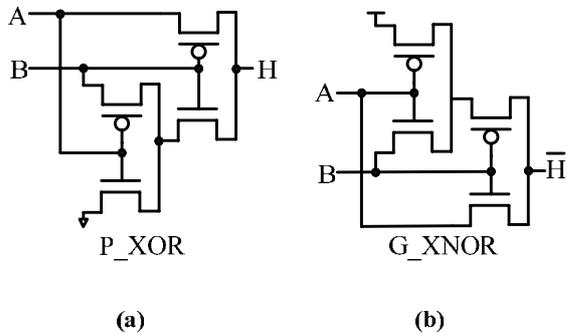


圖 3. P-XOR/G-XNOR

## 2.2 全加器模組化設計

在本文中，我們將全加器設計模組化，共分為三個部份，分別稱為模組 Module-1、模組 Module-2 和模組 Module-COUT，其架構如圖 4 所示 [4]。

在 Module-COUT 的部份，分為 XOR 閘和 XNOR 閘兩大設計，而兩此大設計中又各區分成三種次模組(Submodule)設計，此三種次模組分為 Multiplexer、Double PMOS 與 Double NMOS。

第一大類型全加器模組化設計是：Module-1 和 Module-2 採用 XOR 閘模組，所接的 Module-COUT 模組部分，使用次模組電路結構如圖 5 所示。

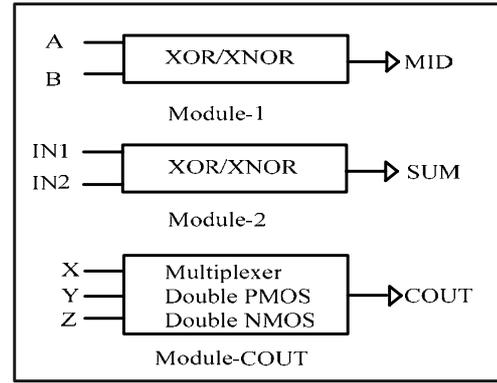


圖 4. Full Adder 組裝方塊圖

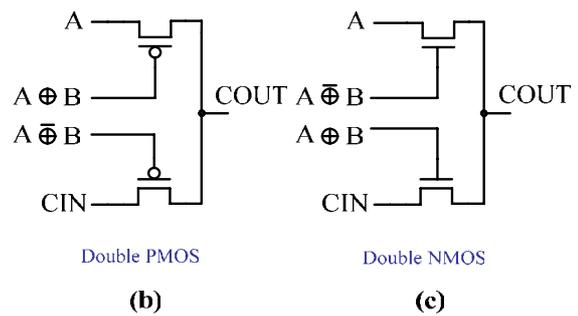
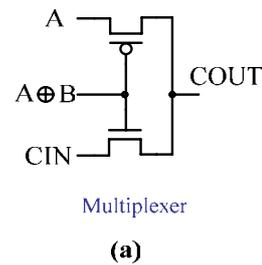


圖 5. Module-COUT 之三種次模組

第二大類型全加器模組化設計是：Module-1 和 Module-2 採用 XNOR 閘模組，所接的 Module-COUT 模組，使用三種次模組電路結構如圖 6 所示。

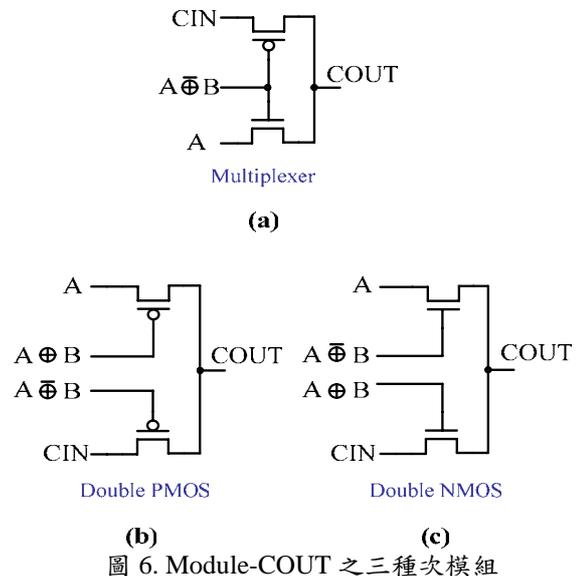
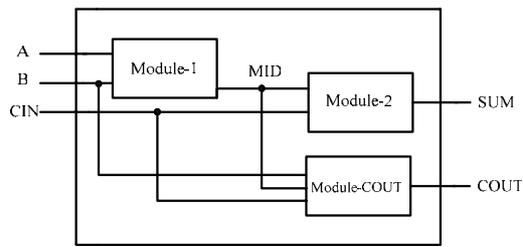


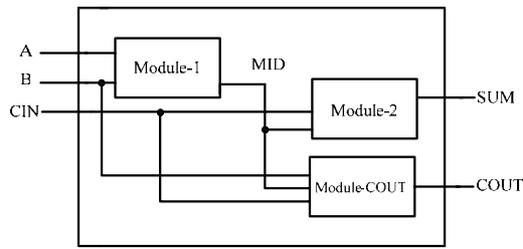
圖 6. Module-COUT 之三種次模組

圖 7 是組合起來的 Full Adder 的完整模組化架構方塊圖，其中分別列出採用 XOR 及 XNOR 模組的接法，採用不同開模組會有不同的接法，XOR 模組接法為圖 7(a)和圖 7(b)，其中圖 7 (a) IN1 是 MID、IN2 是 CIN；圖 7 (b) 中 IN1 是 CIN、IN2 是 MID。XNOR 模組接法為圖 7(c)和圖 7(d)，其中圖 7 (c) IN1 是 MID、IN2 是 CIN，圖 7 (d) 中 IN1 是 CIN，而 IN2 是 MID 信號。



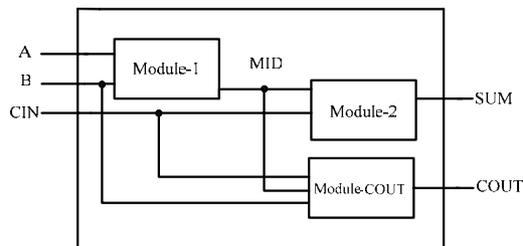
Full-Adder Module A

(a)



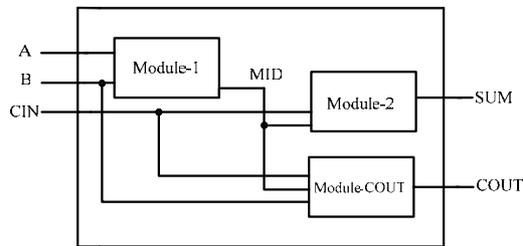
Full-Adder Module B

(b)



Full-Adder Module C

(c)



Full-Adder Module D

(d)

圖 7. Full Adder 模組架構方塊圖

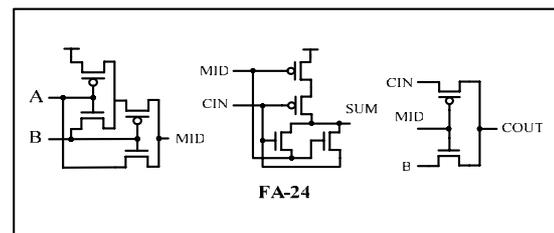
運用上述提及的互斥或閘(XOR)和互斥反或閘(XNOR)電路：P-XOR/G-XNOR、INV-XOR/XNOR

及 SER-XOR/XNOR 當做基本模組電路，分別代入圖 7(a)至圖 7(d)中，可以產生總數有 42 種新的全加器電路組合，其完整模組化電路結構如表 1 所示。

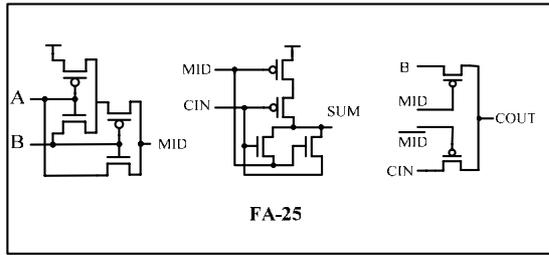
表 1. 42 種 10-T Full Adder 模組化電路結構

FA	Module-1	IN1	IN2	Module-2	Module-COUT
1	INV-XOR	MID	CIN	INV-XOR	MUX
2	INV-XOR	CIN	MID	INV-XOR	MUX
3	INV-XOR	CIN	MID	INV-XOR	PMOS
4	INV-XOR	CIN	MID	INV-XOR	NMOS
5	INV-XNOR	MID	CIN	INV-XNOR	MUX
6	INV-XNOR	CIN	MID	INV-XNOR	MUX
7	INV-XNOR	CIN	MID	INV-XOR	PMOS
8	INV-XNOR	CIN	MID	INV-XOR	NMOS
9	P-XOR	MID	CIN	P-XOR	MUX
10	P-XOR	CIN	MID	P-XOR	MUX
11	G-XNOR	MID	CIN	G-XNOR	MUX
12	G-XNOR	CIN	MID	G-XNOR	MUX
13	SER-XOR	MID	CIN	SER-XOR	MUX
14	SER-XNOR	MID	CIN	SER-XNOR	MUX
15	INV-XOR	MID	CIN	P-XOR	MUX
16	INV-XOR	CIN	MID	P-XOR	MUX
17	P-XOR	MID	CIN	INV-XOR	MUX
18	P-XOR	CIN	MID	INV-XOR	MUX
19	P-XOR	CIN	MID	INV-XOR	PMOS
20	P-XOR	CIN	MID	INV-XOR	NMOS
21	INV-XNOR	MID	CIN	G-XNOR	MUX
22	INV-XNOR	CIN	MID	G-XNOR	MUX
23	G-XNOR	MID	CIN	INV-XNOR	MUX
24	G-XNOR	CIN	MID	INV-XNOR	MUX
25	G-XNOR	CIN	MID	INV-XNOR	PMOS
26	G-XNOR	CIN	MID	INV-XNOR	NMOS
27	P-XOR	MID	CIN	SER-XOR	MUX
28	SER-XOR	MID	CIN	P-XOR	MUX
29	SER-XOR	CIN	MID	P-XOR	MUX
30	G-XNOR	MID	CIN	SER-XNOR	MUX
31	SER-XNOR	MID	CIN	G-XNOR	MUX
32	SER-XNOR	CIN	MID	G-XNOR	MUX
33	INV-XOR	MID	CIN	SER-XOR	MUX
34	SER-XOR	MID	CIN	INV-XOR	MUX
35	SER-XOR	CIN	MID	INV-XOR	MUX
36	SER-XOR	CIN	MID	INV-XOR	PMOS
37	SER-XOR	CIN	MID	INV-XOR	NMOS
38	INV-XNOR	MID	CIN	SER-XNOR	MUX
39	SER-XNOR	MID	CIN	INV-XNOR	MUX
40	SER-XNOR	CIN	MID	INV-XNOR	MUX
41	SER-XNOR	CIN	MID	INV-XNOR	PMOS
42	SER-XNOR	CIN	MID	INV-XNOR	NMOS

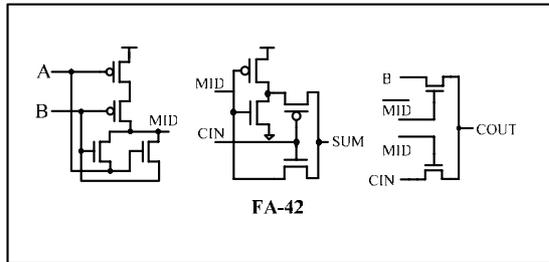
我們將初步實驗特性較佳之全加器電路架構圖表列於下做進一步實驗，下面所列出的圖形，是實驗需要用到的全加器架構圖：圖 8(a)為 FA-24、圖 8(b)為 FA-25、圖 8(c)為 FA-42、圖 8(d)為 FA-31、圖 8(e)為 FA-32、而圖 8(f)為 FA-40 之電路。



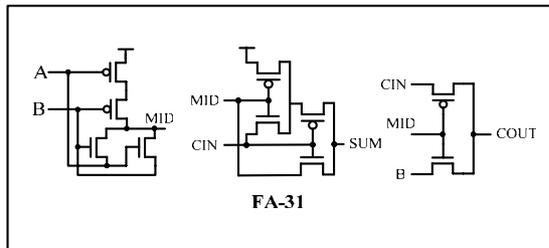
(a)



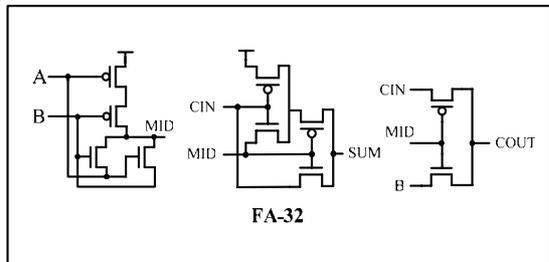
(b)



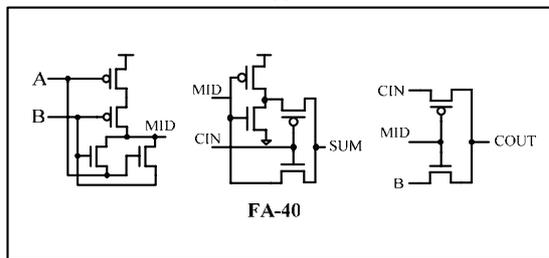
(c)



(d)



(e)



(f)

圖 8. 部分特性較佳之 10-T 全加器電路架構

### 3. 實驗結果與分析

#### 3.1 Module-COUT 為 PMOS 的電路

取 Module-COUT 為 PMOS 次模組的六組全加器電路進行延遲時間(Delay Time,  $T_d$ )比較, 表 2 與圖 9 是比較電路的延遲時間模擬結果, 由表 2 與圖 9 實驗數據所示, FA-25 是這幾種架構中延遲時間性能最佳的, 其  $T_d$  為 0.026 nS。

表 2. Full Adder 延遲時間實驗數據 I

FA	3	7	19
$T_d$ (nS)	0.029	0.0031	0.036
FA	25	36	41
$T_d$ (nS)	0.026	0.038	0.034

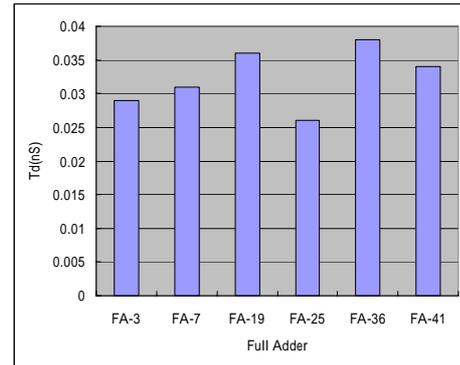


圖 9. 延遲時間量測比較 I

#### 3.2 Module-COUT 為 NMOS 的電路

取所有 Module-COUT 為 NMOS 次模組的六組全加器電路進行性能比較, 表 3 與圖 10 是電路的延遲時間比較結果; 由表 3 與圖 10 可知, FA-42 是這幾種架構中性能最佳者, 其  $T_d$  為 0.034 nS。

表 3. Full Adder 延遲時間實驗數據 II

FA	4	8	20
$T_d$ (nS)	0.045	0.060	0.044
FA	26	37	42
$T_d$ (nS)	0.046	0.046	0.034

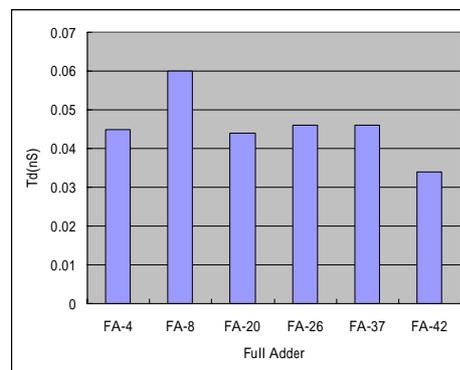


圖 10. 延遲時間量測比較 II

#### 3.3 Module-COUT 為 MUX 的電路

取所有 Module-COUT 為 MUX 次模組的四組

全加器電路進行比較，表 4 與圖 11 是電路的延遲時間比較結果，由表 4 與圖 11 所示，其中 FA-24 是這幾種架構中性能最佳者，其 Td 為 0.0145ns。

表 4. Full Adder 延遲時間實驗數據 III

FA	9	12	23	24
Td (ns)	0.0160	0.0150	0.0147	0.0145

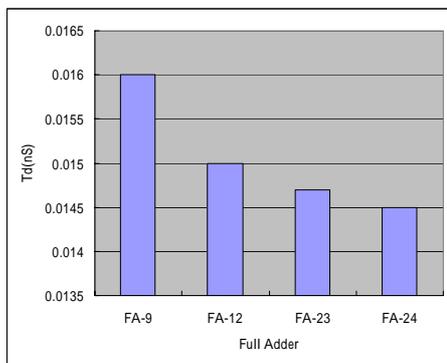


圖 11. 延遲時間量測比較 III

### 3.4 10-T 全加器最佳延遲時間比較

將以上三大類 10-T 全加器最佳延遲時間進行比較結果，發現表 5 與圖 12 之電路具有最佳延遲時間，如表 5 與圖 12 所示，其中 FA-24 是這幾種架構中速度性能最佳者，其 Td 為 0.0145ns；由 FA-24 具有最佳延遲時間實驗值，證明本研究 10-T 全加器設計中若 Module-COUT 採用 NMOS 模組時，會比 Module-COUT 為 PMOS 模組時來的快，此乃由於 NMOS 之載子遷移率(Mobility)較優於 PMOS。

表 5. 三大類 10-T 全加器最佳延遲時間比較

FA	25	42	24
Td (ns)	0.026	0.034	0.0145

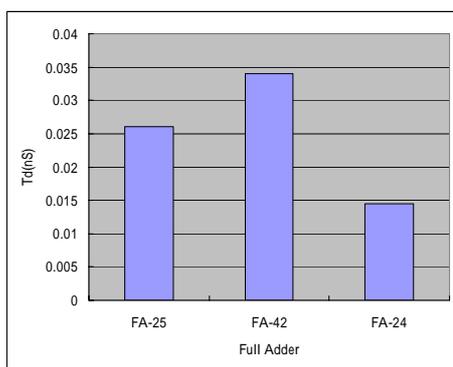


圖 12. 三大類 10-T 全加器最佳延遲時間比較

### 3.5 平均功率消耗(Pd)比較

在 42 種架構的全加器，經過 H-Spice 模擬後，經過比較所挑選出，取平均功率消耗(Power Dissipation, Pd)最低的三者表列；表 6 與圖 13 是電路的平均功率消耗比較。由表 6 與圖 13 所示，

FA-31、FA-32 和 FA-40 是 42 種架構的全加器中，平均功率最小的三個，其中 FA-40 平均功率消耗最低，Pd 為 8.34uW。

表 6. Full Adder 較佳平均功率消耗實驗數據

FA	31	32	40
Pd (uW)	9.23	9.02	8.34

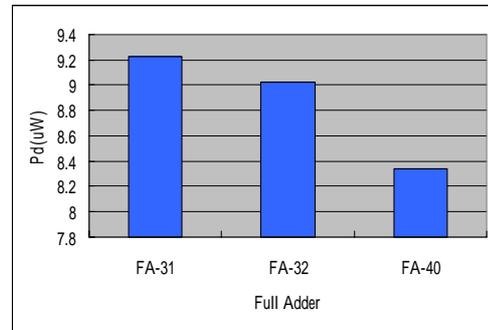


圖 13. 平均功率消耗比較

### 3.6 COUT 的功率延遲比較

在 42 種架構的全加器，進行 COUT 的功率延遲乘積(Power Delay Product, PDP)比較，表 7 與圖 14 是 COUT 的功率延遲比較結果；由表 8 所示，在 COUT 的功率延遲乘積(PDP)比較中，FA-12 的 PDP 值最優異，其功率延遲乘積為 2.40 uW×ns。

表 7. COUT 的功率延遲乘積(PDP)比較

FA	11	12	21	24
Pd×Td (uW×ns)	2.42	2.40	2.88	2.74

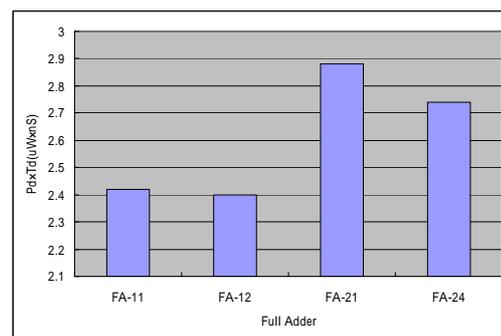


圖 14. COUT 的功率延遲比較

## 4. 晶片實現

同時，本研究基於驅動能力之考量，經由 42 種新的 10-T 全加器架構中挑選，我們選擇同具功率消耗較佳與驅動能力較強之 FA-31 全加器電路設計四位元(4-Bit)漣波進位加法器(Ripple Carry Adder, RCA)晶片，並將設計成果送交國家晶片設計中心(CIC)製作成實體矽晶片以為驗證。圖 16 所示為使用 FA-31 設計之四位元漣波進位加法器(4-Bit RCA)

晶片佈局圖，表 9 所呈現是整體晶片規格與實驗特性，在設計與實驗均採用臺積電 TSMC 0.35  $\mu\text{m}$  2P4M 製程技術，模擬採用 H-Spice 軟體模擬 4-Bit RCA，並經由國家晶片設計中心(CIC)製作實體矽晶片。

表 9. 基於 FA-31 設計之 4-Bit RCA 晶片規格列表

晶片規格名稱	規格
製程	TSMC 0.35 $\mu\text{m}$ 2P4M
電源電壓 (V)	3.3
最高工作頻率 (MHz)	100
電晶體數	92
晶粒面積 ( $\text{mm}^2$ )	$1.166 \times 1.166$
功率消耗 (mW)	1.48

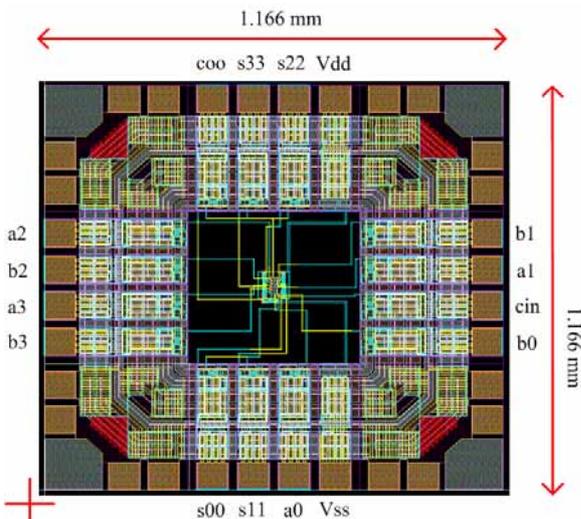


圖 16. 基於 FA-31 設計之 4-Bit RCA 晶片佈局圖

## 5. 結論

市場上對於高可靠度的電子或電腦系統需求快速增加中，因此要求更小面積、更高性能及更低功率消耗的晶片顯得更加重要與廣為流行。為了實現面積、速度及功率取得最佳化的理想，從基礎運算電路全加器進行改善是最直接也是最有成效的。本文已提出以系統模組化設計的方法，完成一系列共 42 種新的十顆電晶體全加器設計。基於 TSMC 0.35  $\mu\text{m}$  2P4M 製程技術進行設計與實驗，經由實驗結果證明，42 種新的十顆電晶體全加器設計中，FA-24 全加器的延遲時間( $T_d$ )性能最佳，其延遲時間為 0.0145nS；其中 FA-40 全加器之平均功率消耗( $P_d$ )最佳，其  $P_d$  為 8.34 $\mu\text{W}$ ；而 FA-12 全加器的功率延遲乘積(PDP)最優異，其功率延遲乘積為 2.40  $\mu\text{W} \times \text{nS}$ 。同時，基於驅動能力之考量，我們選擇功率消耗較佳之 FA-31 全加器電路設計四位元連波進位加法器(Ripple Carry Adder, RCA)晶片，並將設計成果送交國家晶片設計中心(CIC)製作成實體矽晶片以為驗證；經由實驗結果證明：本研究之設計方法與結果為有效且實用的。

## 6. 致謝

感謝國家晶片設計中心(CIC) 協助製作矽晶片(下線編號 D35-98D-71e)，以為本研究之實體驗證。

## 參考文獻

- [1] 謝永瑞，VLSI 設計概論(修訂二板)，全華科技圖書股份有限公司，台北，2005。
- [2] 曹恆煒、林浩雄、郭建宏、陳建中，微電子電路(上)，台北圖書有限公司，台北，2004。
- [3] 許家豪，“具有高速及低功率消耗之 10-T 的全加法器的設計及分析”，南台科技大學，碩士論文，2007。
- [4] H. T. Bui, Y. Wang and Y. Jiang, “Design and Analysis of Low-Power 10-Transistor Full Adders Using XOR-XNOR Gates,” *IEEE Trans. on Circuits and Systems II: Analog and Digital Signal Processing*, Vol. 49, No. 1, pp.25-30, Jan. 2002.
- [5] H. T. Bui, A. Al-Sheraidah, and Y. Wang, “New 4-Transistor XOR and XNOR Designs,” *2nd IEEE Asia Pacific Conf. ASICs*, pp. 25-28, Cheju Island, Korea, Aug. 2000.
- [6] N. H. E. Weste and K. Eshraghian, "Principles of CMOS VLSI Design", Addison Wesley, 1993.
- [7] N. Zhuang and H. Wu, "A New Design of the CMOS Full Adder," *IEEE Journal of Solid-State Circuits*, Vol. 27, No. 5, pp. 840-844, May 1992.
- [8] M. Vesterbacka, "A 14-Transistor CMOS Full Adder with Full Voltage-Swing Nodes," *IEEE Workshop on Signal Processing Systems (SiPS 99)*, pp.713-722, Oct. 1999.
- [9] K.-H. Cheng and C.-S. Huang, “The Novel Efficient Design of XOR/XNOR Function for Adder Applications,” *The 6th IEEE International Conference on Electronics, Circuits and System*, Vol.1, pp.29-32, 1999.
- [10] H. Lee and G. E Sobelman, "New Low-Voltage Circuits for XOR and XNOR," *Proceedings IEEE Southeastcon '97, 'Engineering the New Century'*, pp.225-229, April 1997.
- [11] S.-H. Shieh, C.-K. Tung, L.-R. Wu, and C.-W. Wu, “Low-Power Full Adder Core Design for Embedded Structure,” *Proc. 14th VLSI Design/CAD Symp.*, pp. 221-224, Hualien, Aug. 2003.