

Low-Error and Area-Efficient Fixed-Width Multiplier by Using Minor Input Correction Vector with Fixed Compensation Circuit

魏一勤(I-Chyn Wey), 廖峰裕(Feng-Yu Liao)

Department of Electrical Engineering, Graduate Institute of Electrical Engineering, and Green Technology Research Center, Chang Gung University, Taiwan, ROC.

Email: icwey@mail.cgu.edu.tw

摘要 (Abstract)

本論文提出一個新的誤差補償方法來設計高精準度且低面積的固定寬度乘法器。精準度提昇方面，我們針對次輸入補償部分乘積項，根據機率統計計算分析部份乘積權重關係，由較高權重搭配較低權重做進位判別，提高補償的精準度。面積化簡方面，我們以狄摩根定理來簡化補償電路達到面積節省，且補償電路由固定式輸入取代先前文獻延展性架構，使電路複雜度不隨位元增加而增長。本論文所提出的固定寬度乘法器在 8×8 位元下，可較截斷固定乘法器之誤差改善 80%，對於標準乘法器可節省 42% 面積。

關鍵字—誤差補償、固定寬度乘法器。

I. 簡介 (Introduction)

乘法器常應用在許多數位訊號處理上，如數位濾波...等；為了獲得更高的速度，低誤差、小面積和高速乘法器不斷的被提出。在某些數位訊號處理(DSP)，由於精確度可適度犧牲，乘法器便可採用節省面積的固定寬度乘法器(Fixed-Width Multipliers)。在實際硬體電路中，有時希望乘法運算能產生固定寬度的乘積以防止寬度無限增長，在 n 位元時將產生兩倍位元之乘積。但在一些實際應用當中，卻只希望產生 n 位元乘積，截掉較低 n 個位元，只保留較高的 n 位元以避免乘法位

元數持續增加。所以刪除傳統乘法器硬體中的一半加法電路來產生固定寬度乘積，以降低電路面積及功率消耗。但這將產生乘積誤差，如何縮小兩者之間的誤差變成為我們所要探討的重點。

一個 n 位元輸入乘數 X 和被乘數 Y 的乘法器乘積如圖 1 所示，其式如下

$$X = \sum_{i=0}^{n-1} x_i \cdot 2^i \quad Y = \sum_{i=0}^{n-1} y_i \cdot 2^i \quad (1)$$

乘法器部份乘積 $x_i y_j$ 權重總 $P = X \cdot Y$ 如式(2)

$$P = \sum_{i=0}^{2n-1} p_i \cdot 2^i = \sum_{i=0}^{n-1} \sum_{j=0}^{n-1} (x_i y_j \cdot 2^{i+j}) \quad (2)$$

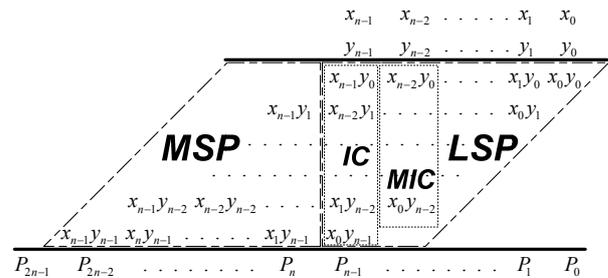


圖 1. 完整乘法器乘積陣列

圖 1 我們將乘積分成兩大部分：較高權重部分(most significant part, MSP)以及較低權重部分(less significant part, LSP)。而較低權重部分(less significant part, LSP)包含輸入補償(input correction vector, IC)與次輸入補償(minor input correction vector, MIC)部分，此部分為本論文所提及之誤差補償。一個固定寬度乘法器的乘法器輸出為 P_{2n-1}, \dots, P_n ，為了降低截斷誤差，固定寬度乘法器可以去除 LSP

部分，並由每個進位輸入來獲得電路 MSP。許多所提出的技術利用固定寬度的特性來降低硬體複雜度。

截斷固定寬度乘法器(Trun-FWM)電路架構可由式(2)乘積P表示成式(3)兩部分:較高權重部分(most significant part, MSP)和較低權重部分(less significant part, LSP)。 x_i , y_i , 與 P_i 表示 x , y , 和 P 的第 i 項位元。圖2為截斷固定寬度乘法器(Trun-FWM)，由一個固定進位來達成誤差補償功能。

$$P = MSP + LSP = \sum_{i=n}^{2n-1} P_i 2^i + \sum_{i=0}^{n-1} P_i 2^i . \quad (3)$$

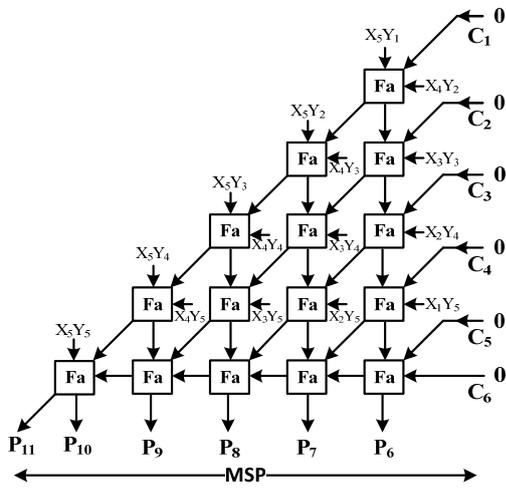


圖 2. 截斷固定寬度乘法器(Trun-FWM)架構

在所提論文中，使用一個新的方法設計高準確度固定寬度乘法器。此乘法器誤差補償架構以過去所提文獻[1],[4]為基礎，考慮次輸入補償部分乘積關係做固定寬度乘法器誤差補償情形。利用機率統計方式計算分析權重關係，將分為較高權重與較低權重兩個部份來做進位判別。除了經由權重的分析得知權重高低將影響進位的機率外，較低權重部分雖不像較高權重直接影響進位的機率，但較低權重總和部分將影響較高權重部分的進位機率，兩者搭配有利於提升進位機率因而達到誤差補償。電路架構上將以多輸入補償架構，外加補償電路技術來達此誤差補償，其目的在限制誤差補償條件以提高進位之情

形發生。

所提出架構優點除了有較高精準度外，因輸入位元為固定項，故不會因位元數增加而導致輸入位元隨之增加，取代原先文獻[4]所提之誤差補償電路有延展性之問題，使架構比文獻[4]來的小。我們將利用狄摩根定理化簡以減少硬體複雜度，進一步達到面積節省與高精準度的固定寬度乘法器。

接下來我們在第II節將回顧先前文獻[1]-[4]所提之固定寬度乘法組織架構，介紹目前固定寬度乘法器的發展現況。第III節，我們藉由文獻[1],[4]演算法及權重分析，推導出較精準的誤差補償方法與相對應較節省面積的誤差補償電路。第IV節為誤差補償效果與面積的比較。最後，第V節總結本論文貢獻。

II. 乘法器設計回顧 (Review Design of the Multipliers)

文獻常見幾種不同固定寬度乘法器(fixed-width multiplier)架構，其中 Shyh-Jye Jou 等人[2]所提出之誤差補償，使用統計分析和線性復原分析，在輸入補償(IC)總和直接加入補償。其優點主要在於速度更快，使用較少邏輯閘數，且面積不會隨著輸入位元增加而增大。但因輸入補償為固定值，使得誤差率降低幅度小。

F. Curticapean 等人[3]使用多重輸入誤差補償(multiple-input error-compensation)技術，以固定寬度乘法器架構為基礎，達到降低錯誤率，如式(4)

$$P_i = \sum_{j=1}^{n-1} y_j 2^j \sum_{i=n-j}^{n-1} x_i 2^i + f(x_{n-1}y_0, x_{n-2}y_1, \dots, x_1y_{n-2}, x_0y_{n-1}) \quad (4)$$

式(4)中 $f(IC)$ 為誤差補償

$$IC = (x_{n-1}y_0, x_{n-2}y_1, \dots, x_1y_{n-2}, x_0y_{n-1})$$

因漣波(ripple)架構關係，故有運算速度較慢以及耗電較高的缺點存在。

Antonio-G.M.Strollo 等人[4]基於多重輸

入誤差補償(multiple-input error-compensation)結構[3]，發展出一個新的誤差補償，可以降低最大絕對誤差與均方誤差。所提出的誤差補償比之前文獻[1]-[3]有更好的精準度，而且只需一個樹狀結構來實現。為了進行高精準度電路設計，進一步降低誤差值，所提出的 P 值如式(4)，函數 f 是用來降低誤差並考慮到 IC 之間的相互關係和 LSP 部分乘積總數。

在上述幾種不同固定寬度乘法器(fixed-width multiplier)架構中，文獻[4]所提出之樹狀補償架構，改善先前文獻[1]-[3]之誤差率。我們所提出的補償架構即是藉由文獻[4]所提之(TypeII)架構為基礎，並更進一步分析誤差補償限制情形，輔以外加補償電路方式來提高準確率，達到精確誤差補償的目的。因此接下來我們將進一步將概述 J. M. Jou[1] 與 Antonio-G.M.Strollo[4]所提之誤差補償方法與權重分析，作為往後所提出誤差補償方法與架構上的基礎。

Jer-Min Jou[1]等人設計一個低誤差固定寬度乘法器，利用機率統計計算誤差值實際實現於乘法器電路中。他們首先由 MSP 分析錯誤產生源，然後取得誤差補償電路(Error compensation circuit, EC)提供 MSP 每個進位輸入以減少誤差。隨位元數增加而使用的所補償誤差增大。補償電路使用漣波(ripple)架構進行誤差補償，雖有效降低固定寬度乘法器的誤差，但將運算速度較慢且補償效果較有限。我們令 S_{LSP} 為 LSP 進位產生的部份乘積總和如式(5)

$$S_{LSP} = \frac{1}{2}(x_{n-1}y_0 + x_{n-2}y_1 + \dots + x_1y_{n-2} + x_0y_{n-1}) + \frac{1}{4}(x_{n-2}y_0 + x_{n-3}y_1 + \dots + x_1y_{n-3} + x_0y_{n-2}) + \frac{1}{8}(x_{n-3}y_0 + x_{n-4}y_1 + \dots + x_1y_{n-4} + x_0y_{n-3}) + \dots + \frac{1}{2^{n-1}}(x_1y_0 + x_0y_1) \quad (5)$$

根據權重關係，將 LSP 權重最重之項數總和 $1/2$ 設為 β 即 $i+j=n-1$ 行，較低權重 LSP

總和設為 λ 。為了簡化符號，我們重寫(5)為(6)， β 和 λ 定義為式(7)和(8)。

$$S_{LSP} = \frac{1}{2}\beta + \lambda \quad (6)$$

$$\beta = \sum_{i+j=n-1} x_i y_j = x_{n-1}y_0 + x_{n-2}y_1 + \dots + x_0y_{n-1} \quad (7)$$

$$\lambda = \frac{1}{4}x_{n-2}y_0 + \frac{1}{4}x_{n-3}y_1 + \dots + \frac{1}{2^{n-1}}x_1y_0 + \frac{1}{2^{n-1}}x_0y_1 \quad (8)$$

假設每個輸入位元等於 1 的機率是 0.5，乘法器的位元乘積 $x_i y_j$ 等於 1 機率表示為 $p1(x_i y_j)$ 。對於 $i+j=n-1$ 的 β 項位元乘積 $x_i y_j$ 為 1，而 $i+j=n-1$ 的 $n-\beta$ 項位元乘積 $x_i y_j$ 等於 0。則輸入位元乘積等於 1 的項次最多為 $n+\beta$ ，最少為 2β 項乘積為 1。所以輸入位元平均為 1 的機率為：

$$[(n+\beta)+2\beta]/2 = (n+3\beta)/2$$

因此輸入 $2n$ 位元等於 1 的機率為：

$$[(n+3\beta)/2]/2n = (n+3\beta)/4n$$

即 $x_i y_j$ 等於 1 的機率為：

$$p1(x_i y_j) = [(n+3\beta)/4n] * [(n+3\beta)/4n] = (n+3\beta)^2 / 16n^2 \cong \beta/n \quad (9)$$

根據式(9)，可重新定義式(8)為式(10)

$$\lambda = \frac{1}{4}p1(x_{n-2}y_0) + \frac{1}{4}p1(x_{n-3}y_1) + \dots + \frac{1}{2^{n-1}}p1(x_1y_0) + \frac{1}{2^{n-1}}p1(x_0y_1) \quad (10)$$

$$\cong p1(x_i y_j) \times \left(\frac{1}{4} + \frac{1}{4} + \dots + \frac{1}{2^{n-1}} + \frac{1}{2^{n-1}} \right)$$

式子(9)中， $p1(x_i y_j) \cong \beta/n$ 。因此 λ 可表示為

$$\lambda \cong \frac{\beta}{2} - \frac{\beta}{n} \quad (11)$$

將式(11)結果帶入式(6)得

$$S_{LSP} = \frac{1}{2}\beta + \lambda \cong \beta + \left[-\frac{\beta}{n} \right] \quad (12)$$

$$\cong \frac{1}{2}\beta + \frac{(n+3\beta)^2}{16n^2} \times \left(\frac{n}{2} - 1 \right)$$

因 $\beta \leq n$ ，若 $\beta=0$ 則 $[-\beta/n]=0$ ；若 $\beta>0$ 則

$[-\beta/n] = -1$ ，所以可以得到以下關係：

$$S_{LSP} = \begin{cases} 0, & \text{if } \beta = 0 \\ \beta - 1, & \text{if } \beta > 0 \end{cases} \quad (13)$$

在文獻[1]中，以機率統計方式設計一個誤差補償電路 EC，對於 LSP 權重最重 β 部分乘積做補償。式(13)中，當 $\beta=0$ 時並無對 LSP 做補償。 $\beta>0$ 時，將進行 $\beta-1$ 固定補償。透過式(12)計算乘積總和 S_{LSP} 值可分析出在 $n=6$ 位元下之 S_{LSP} 和 β 關係曲線。當 $\beta \leq 2$ 時， S_{LSP} 接近 β 直線， $\beta \geq 3$ 時， S_{LSP} 為貼近 $\beta-1$ 。由定義之關係，由此可看出 S_{LSP} 曲線之分佈介於 β 與 $\beta-1$ 之間。

在 $n=6$ 、 $n=8$ 及 $n=12$ 不同的位元下， S_{LSP} 曲線對於 β 及 $\beta-1$ 的分佈皆為 $\beta \leq 2$ 時， S_{LSP} 接近 β 直線， $\beta \geq 3$ 時， S_{LSP} 為貼近 $\beta-1$ 等相同情形。然而在 $n=16$ 時曲線分佈則變為 $\beta \leq 3$ ， S_{LSP} 接近 β 直線， $\beta \geq 4$ 時， S_{LSP} 為貼近 $\beta-1$ 等不同情形發生，因此須隨位元做調整。依此來做誤差補償將能提升誤差的改善。

A. 誤差補償權重關係

在完整乘法器中，為計算固定寬度法器的精確度，由(2)和(4)我們定義誤差 ε ：

$$\varepsilon = P - P_t = S(x_{n-1}, \dots, x_0; y_{n-1}, \dots, y_0) - f(IC, MIC) \quad (14)$$

P 為完整乘法器乘積， P_t 為固定寬度乘法器乘積，而 $S(x_{n-1}, \dots, x_0; y_{n-1}, \dots, y_0) = S(X; Y)$ 為 LSP 包含 IC 和 MIC 部分乘積的總和。 $f(IC, MIC)$ 為次輸入誤差補償，加入此誤差補償以提升準確度。其中， S 定義為：

$$S = \sum_{j=0}^{n-1} y_j \cdot 2^j \sum_{i=0}^{n-1-j} x_i \cdot 2^i \quad (15)$$

透過式(14)我們可以得到固定寬度乘法器之誤差修正。式(16)-(18)說明平均絕對誤差 (Average absolute error, ε_{avg})、均方誤差 (Mean-Square Error, ε_{ms}) 和變動誤差 (Variance of error, v)，其定義為：

$$\varepsilon_{avg} = Avg(|\varepsilon|) / LSB \quad (16)$$

$$\varepsilon_{ms} = Avg\{\varepsilon^2\} / LSB^2 \quad (17)$$

$$v = Avg\{(\varepsilon - \varepsilon_{avg})^2\} \quad (18)$$

$Avg\{\}$ 為平均值， $LSB = 2^n$ 是乘法器 LSP 輸出的權重。由式(16)-(18)可了解所補償誤差 ε 之關係。我們令 f_{avg} 和 f_{ms} 兩個誤差補償函數誤差 ε_{avg} 和 ε_{ms} 。為了獲得 f_{avg} 和 f_{ms} ，輸入補償 IC 的每一個值 IC_0 由不同的 X 和 Y 構成。令 $\Omega(IC_0)$ 為 X 和 Y 值的集合 $IC = IC_0$ ， $N(IC_0)$ 是在 $\Omega(IC_0)$ 集合中元素的個數。以 $n=8$ 位元的例子來說明：

$$IC_0 = (x_0y_7, x_1y_6, x_2y_5, x_3y_4, x_4y_3, x_5y_2, x_6y_1, x_7y_0) \\ = (0, 1, 1, 1, 1, 1, 1, 1)$$

可得到三種不同(X;Y)值：

$$(X; Y) = (0, 1, 1, 1, 1, 1, 1, 1; 1, 1, 1, 1, 1, 1, 1, 0),$$

$$(X; Y) = (1, 1, 1, 1, 1, 1, 1, 1; 1, 1, 1, 1, 1, 1, 1, 0),$$

$$(X; Y) = (0, 1, 1, 1, 1, 1, 1, 1; 1, 1, 1, 1, 1, 1, 1, 1),$$

以上三種不同值即屬於 $\Omega(IC_0)$ 的集合， $N(IC_0)$ 的個數為三。給定一個輸入補償 IC_0 ，X 和 Y 屬於 $\Omega(IC_0)$ 。計算 $S(X, Y)$ 的平均值，以求得 IC_0 之權重關係如式(19)。

$$S_{avg}(IC_0) = \frac{1}{N(IC_0)} \sum_{(X; Y) \in \Omega(IC_0)} S(X, Y) \quad (19)$$

所定義 f_{avg} 和 f_{ms} 兩個誤差補償函數誤差 ε_{avg} 和 ε_{ms} 。當 X 和 Y 屬於 $\Omega(IC_0)$ 集合，則 $\varepsilon_{avg}(IC_0)$ 和 $\varepsilon_{ms}(IC_0)$ 如式(20)和(21)

$$\varepsilon_{avg}(IC_0) = \frac{1}{N(IC_0)} \sum_{(X; Y) \in \Omega(IC_0)} (S(X; Y) - f_{avg}(IC_0)) \quad (20)$$

$$\varepsilon_{ms}(IC_0) = \frac{1}{N(IC_0)} \sum_{(X; Y) \in \Omega(IC_0)} (S(X; Y) - f(IC_0))^2 \quad (21)$$

式(20)和(21)絕對平均誤差及均方誤差之總和 $\varepsilon_{avg}(IC_0)$ 與 $\varepsilon_{ms}(IC_0)$ 值，透過 f_{avg} 和 f_{ms} 的選擇將得到理想誤差補償 ε_{avg} 和 ε_{ms}

$$\varepsilon_{avg} = \sum_{IC_0} \varepsilon_{avg}(IC_0) \cdot \frac{N(IC_0)}{2^{2n}} \quad (22)$$

$$\varepsilon_{ms} = \sum_{IC_0} \varepsilon_{ms}(IC_0) \cdot \frac{N(IC_0)}{2^{2n}} \quad (23)$$

式(22)和(23)顯示 ε_{avg} 和 ε_{ms} 的實際個數總和 $\varepsilon_{avg}(IC_0)$ 與 $\varepsilon_{ms}(IC_0)$ ，利用代數簡化 ε_{avg} 和 ε_{ms} ，來達到誤差補償之情形。式(22)與(23)可重寫成

$$\varepsilon_{avg}(IC_0) = S_{avg}(IC_0) - f_{avg}(IC_0) \quad (24)$$

$$\varepsilon_{ms}(IC_0) = [S_{avg}(IC_0) - f(IC_0)]^2 + \frac{1}{N(IC_0)} \sum_{(X,Y) \in \Omega(IC_0)} [S(X;Y) - S_{avg}(IC_0)]^2 \quad (25)$$

從式(24)和(25)看出降低 ε_{avg} 和 ε_{ms} 之因素為將 f_{avg} 和 f_{ms} 近似 S_{avg} 總和，並將 S_{avg} 及 $f(IC_0)$ 標準化如(26)

$$f_{avg}(IC_0) = f_{ms}(IC_0) = Round_n [S_{avg}(IC_0)] \quad (26)$$

III. 所提出之固定寬度乘法器設計 (Proposed design of fixed-width multipliers)

先前文獻[1]-[4]中，已提出對於 IC 誤差補償的固定寬度乘法器，但並無進一步分析 MIC 進位來達成誤差補償。我們藉由文獻[1]的機率統計方法將文獻[4]的誤差補償限制條件做修正以降低誤差補償誤差；且我們進一步提出固定式補償電路取代延展性的補償電路架構，使補償電路的複雜度在任何位元數的乘法運算情形下都是固定的，不隨乘法位元數增加而成長。

A. 誤差補償項權重分析

我們分析文獻[4]之權重關係在 $n=8$ 位元不同補償 IC_0 下，根據式(19)和(26)可得 $S_{avg}(IC_0)$ 和 $f_{ms}(IC_0)$ 之權重與進位值之間的關係，整理如表 1；其中， $S_{avg}(IC_0)$ 為補償項之進位平均值， $f_{ms}(IC_0)$ 則為實際補償值。當 $IC_0=(x_0y_7, x_1y_6, x_2y_5, x_3y_4, x_4y_3, x_5y_2, x_6y_1, x_7y_0)$ 所有的部分乘積全為 0，亦即 $IC_0=(0,0,0,0,0,0,0,0)$ 時， $S_{avg}(IC_0)$ 的權重為 0.334LSB； $f_{avg}(IC_0)$ 為經 0.334 捨位之結果，此情況，IC 並不作任

何的誤差補償動作。從表 1 中顯示乘積權重有對稱的情形，也就是說第 2 列與第 9 列的 $S_{avg}(IC_0)$ 相對稱，皆為 0.944；第 3 列與第 8 列的 $S_{avg}(IC_0)$ 相對稱，皆為 0.999。而且，中間的部分乘積進位權重值較高，進位機率較大；像是第 11 列進位平均值為 1.514LSB，比第 10 列進位平均值(1.232LSB)高；第 5 列進位平均值為 1.035LSB，比第 4 列進位平均值(1.025LSB)高。我們可根據此些特性設計較精準之誤差補償電路；但補償項越多電路複雜度會隨指數成長[4]。因此，文獻[4]先根據進位補償的權重將誤差補償電路分成兩群，分別是權重較重的 inner partial product terms 和 權重較輕的 outer partial product terms。再藉由權重調整，讓較重權重的補償項可以得到較精準的補償結果。Inner partial product terms 之補償演算法，我們依據文獻[4]的方式進行補償，惟我們提出新的固定式補償電路取代原本文獻[4]延展性的補償電路架構，使補償電路的複雜度在任何位元數的乘法運算情形下都是固定的，不隨乘法位元數增加而成長。

表 1. 文獻[4]不同補償 IC_0 下 $S_{avg}(IC_0)$ 和 $f_{ms}(IC_0)$ 值

| Row | IC_0 | $S_{avg}(IC_0)$ | $f_{ms}(IC_0)$ |
|-----|-------------------|-----------------|----------------|
| 1 | (0,0,0,0,0,0,0,0) | 0.334 | 0 |
| 2 | (1,0,0,0,0,0,0,0) | 0.944 | 1 |
| 3 | (0,1,0,0,0,0,0,0) | 0.999 | 1 |
| 4 | (0,0,1,0,0,0,0,0) | 1.025 | 1 |
| 5 | (0,0,0,1,0,0,0,0) | 1.035 | 1 |
| 6 | (0,0,0,0,1,0,0,0) | 1.035 | 1 |
| 7 | (0,0,0,0,0,1,0,0) | 1.025 | 1 |
| 8 | (0,0,0,0,0,0,1,0) | 0.999 | 1 |
| 9 | (0,0,0,0,0,0,0,1) | 0.944 | 1 |
| 10 | (1,0,0,0,0,0,0,1) | 1.566 | 2 |
| 11 | (0,0,0,1,1,0,0,0) | 1.848 | 2 |
| 12 | (0,0,1,1,1,1,0,0) | 3.591 | 4 |

權重較輕的 outer partial product terms 進位補償部分，文獻[4]的誤差補償情形如表 2。欄位中補償條件(Compensation terms)為頭尾各

兩項的部分乘積($x_{n-1}y_0, x_{n-2}y_1, x_1y_{n-2}, x_0y_{n-1}$)相加所得的值，以 β 表示。進位(Carry)為誤差補償電路輸出 C_1, C_2, C_{n-1} 相加的總和。當 β 等於 0 或 1 時， S_{LSP} 為 β 進位；而 β 等於 2 或 3 時， S_{LSP} 為 $\beta-1$ 進位。在 β 等於 4 時， S_{LSP} 為 $\beta-2$ 進位，然而這種誤差補償情況和第二節機率統計分析得知 S_{LSP} 曲線之分佈介於 β 與 $\beta-1$ 之間，違背上述 $\beta \geq 3$ 做 $\beta-1$ 的修正。因此本論文主要針對權重較輕的 outer partial product terms 進位補償部分做進一步誤差分析，搭配次輸入補償項協助進行更精準之誤差補償。

表2. 文獻[4]的outer partial product terms進位誤差補償情形

| Compensation terms | Carry | Relation |
|---|-------|-----------|
| $x_{n-1}y_0+x_{n-2}y_1+x_1y_{n-2}+x_0y_{n-1}=0$ | 0 | β |
| $x_{n-1}y_0+x_{n-2}y_1+x_1y_{n-2}+x_0y_{n-1}=1$ | 1 | β |
| $x_{n-1}y_0+x_{n-2}y_1+x_1y_{n-2}+x_0y_{n-1}=2$ | 1 | $\beta-1$ |
| $x_{n-1}y_0+x_{n-2}y_1+x_1y_{n-2}+x_0y_{n-1}=3$ | 2 | $\beta-1$ |
| $x_{n-1}y_0+x_{n-2}y_1+x_1y_{n-2}+x_0y_{n-1}=4$ | 2 | $\beta-2$ |

B. 次輸入補償項協助誤差補償之分析

我們分別對表 2 補償條件 β 等於 0 到 4，五種情況下所做六位元誤差值分析，如圖 3 到圖 7。X 軸為在六位元 4096 種情況下各補償條件的取樣數，Y 軸為標準乘積減掉文獻[4]補償部分所產生的誤差值。由圖 3、圖 5、圖 6 與圖 7 可看出所修正的誤差值以正值居多，分別佔總取樣數的 70%、95%、75% 與 100%。而圖 4 修正的誤差值則以負值為居多，佔總取樣數 81%。當誤差值多數為正時，我們可以只針對正值 $\varepsilon > 2^{n-1}$ 的誤差部份進行修正，因 IC 誤差補償電路輸入補償的權重為 2^n ，多補償一位元相當於增加 2^n ，將可縮小正值誤差為 $|\varepsilon| < 2^{n-1}$ ，得到較大幅度的誤差改善。加上只單純修正正值誤差，使電路結構在設計上較為簡單。圖 8 為針對正負值所做平均誤差分析，說明當補償條件 $\beta=2$ 和 $\beta=4$ 與其他補償條件相比，所佔的正值平均誤差較高。因此，

針對 $\beta=2$ 和 $\beta=4$ 進行補償改善，將得到較好的補償效果。

經由計算平均誤差的結果得知 $\beta=2$ 和 $\beta=4$ 時誤差值分別為 29.48 與 65 如圖 9 所示，相較於其它補償條件來的高。因此，我們針對這兩個條件項進行修正，可以得到比其它補償條件更好的補償改進效果。

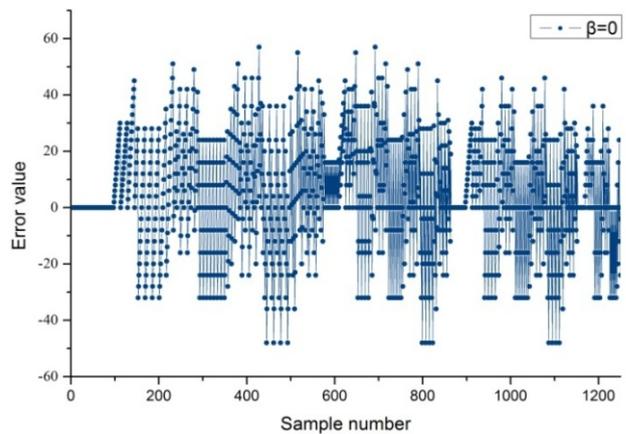


圖 3. 補償條件 $\beta=0$ 情況下之誤差值分析圖

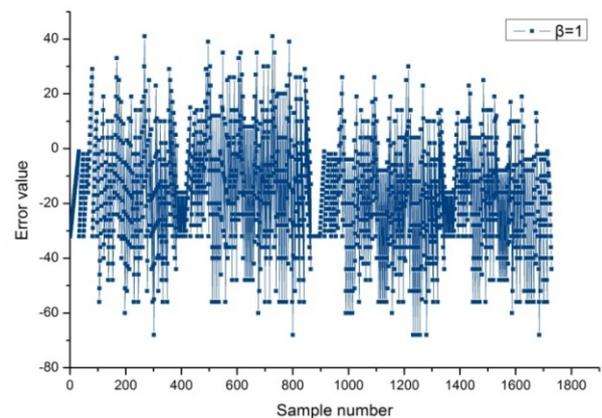


圖 4. 補償條件 $\beta=1$ 情況下之誤差值分析圖

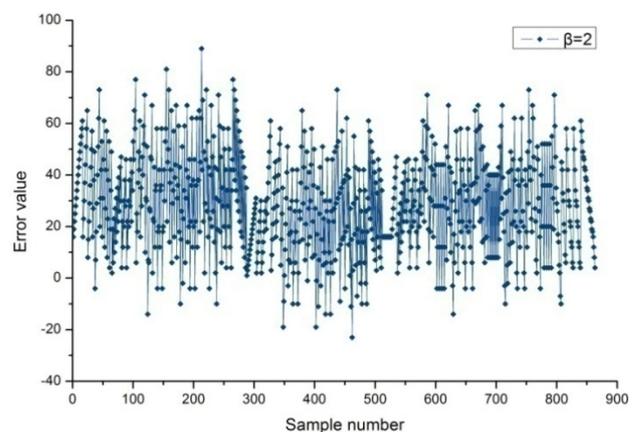


圖 5. 補償條件 $\beta=2$ 情況下之誤差值分析圖

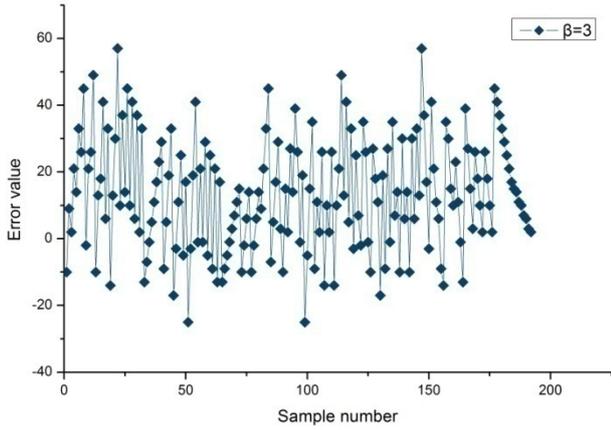


圖 6. 補償條件 $\beta=3$ 情況下之誤差值分析圖

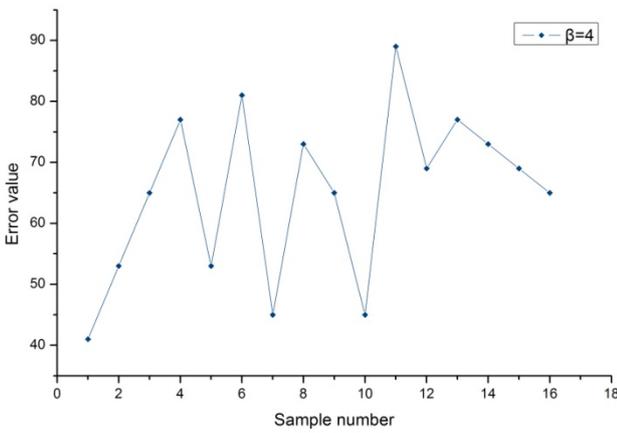


圖 7. 補償條件 $\beta=4$ 情況下之誤差值分析圖

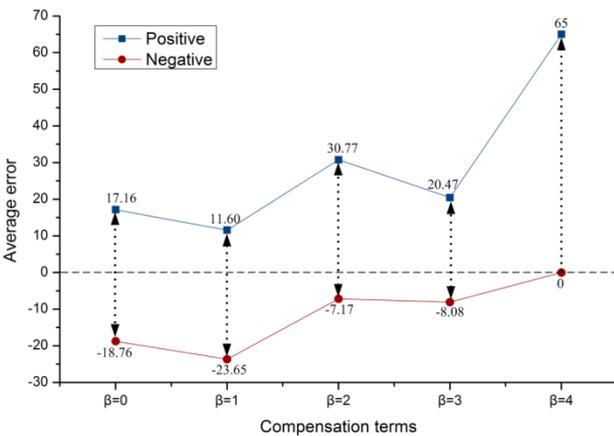


圖 8. 在每個補償條件下針對正負值所做平均誤差分析圖

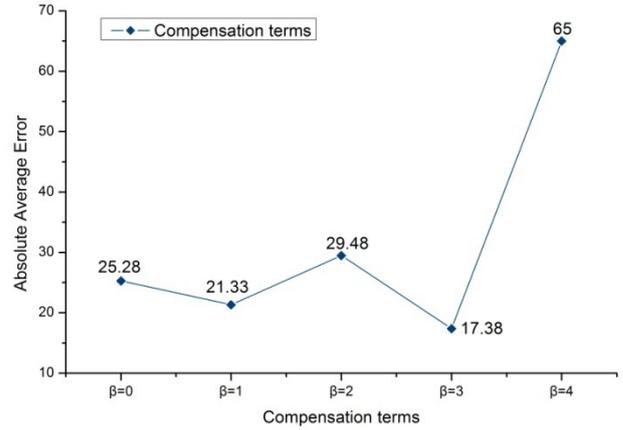


圖 9. 每個補償條件項之絕對平均誤差圖

由以上的推論，所提出之設計將對表2兩項補償條件進行修正。第一在補償條件 $\beta=2$ 時將 $\beta-1$ 修正為 β ，其主要在於提高進位之機率以提升補償之效果。第二將對補償條件 $\beta=4$ 所造成之補償不足情形 $\beta-2$ 做 $\beta-1$ 修正補償。修正後的outer partial product terms進位誤差補償情形如表3所示。

表3. 本論文提出的outer partial product terms進位誤差補償情形

| Compensation terms | Carry | Relation |
|---|-------|-----------|
| $X_{n-1}Y_0+X_{n-2}Y_1+X_1Y_{n-2}+X_0Y_{n-1}=0$ | 0 | β |
| $X_{n-1}Y_0+X_{n-2}Y_1+X_1Y_{n-2}+X_0Y_{n-1}=1$ | 1 | β |
| $X_{n-1}Y_0+X_{n-2}Y_1+X_1Y_{n-2}+X_0Y_{n-1}=2$ | 1 | $\beta-1$ |
| $X_{n-1}Y_0+X_{n-2}Y_1+X_1Y_{n-2}+X_0Y_{n-1}=3$ | 2 | $\beta-1$ |
| $X_{n-1}Y_0+X_{n-2}Y_1+X_1Y_{n-2}+X_0Y_{n-1}=4$ | 2 | $\beta-2$ |

除了輸入補償(IC)的分析外，我們將進一步分析次輸入補償(MIC)。次輸入補償定義(Minor Input Correction vector, MIC)如圖10所示。由IC之權重關係，所定義之MIC乘積補償架構可分為較高權重與較低權重兩個部份：較高權重為內部(Inner)乘積部分，而較低權重為外部(Outer)乘積部分。為了確保MIC的部份乘積總和可以做有效進位補償，我們由表1的對稱關係得知部分乘積兩端進位機率相同，因此以對稱方式選擇MIC部分乘積總和做進位補償。所選擇之內部(Inner)乘積和外部(Outer)乘積的總和 S_{Outer} 和 S_{Inner} 表示如下：

$$S_{Outer} = X_0Y_{n-2} + X_{n-2}Y_0 \quad (27)$$

$$S_{Inner} = X_1Y_{n-3} + X_{[(n/2)-1]}Y_{[(n/2)-1]} + X_{n-3}Y_1 \quad (28)$$

當式(27)與(28)大於 0 時，即代表進位成立。較高權重與較低權重搭配除了提升進位機率外，由固定輸入補償項取代先前文獻的延伸式輸入補償項，則補償項的數目在任何位元輸入的乘法器都是固定的，不會隨位元增加而使輸入補償項增加。由於補償電路的架構也是固定的，所以電路複雜度不隨位元增加而成長。

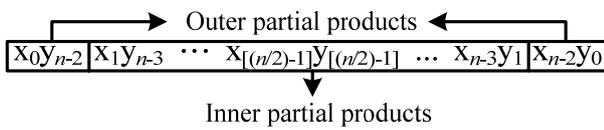


圖 10. 所定義之 MIC 乘積補償架構

C. 誤差補償電路設計

藉由上述分析 IC 與 MIC 部分乘積不同權重關係的分析結果來提出誤差補償架構 EC。所提誤差補償架構將以文獻[4](TypeII)為基礎。文獻[4]所提出的誤差補償架構(TypeII)，如圖 11。標準(Standard)部分設定為 $\{X_{n-1}Y_0, X_{n-2}Y_1, X_1Y_{n-2}, X_0Y_{n-1}\}$ ，修正(Modified)部分為 $(X_{n-3}Y_2, \dots, X_2Y_{n-3})$ ， C_1 、 C_2 至 C_{n-1} 代表每個加法器之進位值。標準(Standard)部份分別為全加法器 FA(full adders)及半加法器 HA(half adders)所組成，用於較低權重部分乘積。其中，加法器乘積權重為 $LSB/2$ ，進位的權重則為 $LSB(2^n)$ 。

文獻[4]之架構針對輸入補償 IC 部份乘積權重做誤差修正，分別使用兩個部份做誤差補償設計。比起先前所提出之文獻[1]-[3]有快速，低耗能及保持線性複雜度近似 f_{avg} 和 f_{ms} 的優點。修正(Modified)部分使用 AO 半加法器說明在 [1]-[2],[4]。考慮到部分乘積較高權重，其硬體電路使用一個及閘(AND Gate)和一個或閘(OR Gate)實現修正(Modified)部分電路。修

正部份(Modified)AO 架構的誤差補償設計由 AO 的真值表如圖 12，得知在兩個位元輸入為高位元 1 時才有進位情形發生，使的 AO 電路可由直接輸入補償來取代。

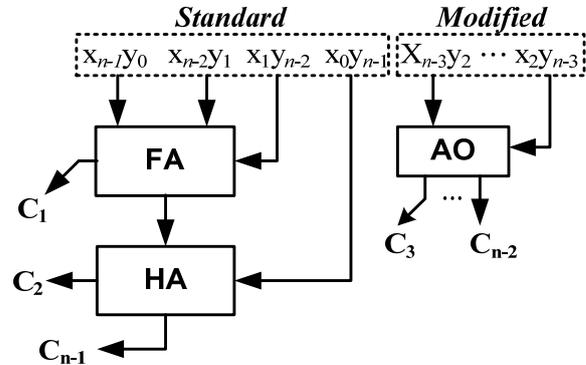


圖 11. 文獻[4]所提之 TypeII 固定寬度乘法器誤差補償架構

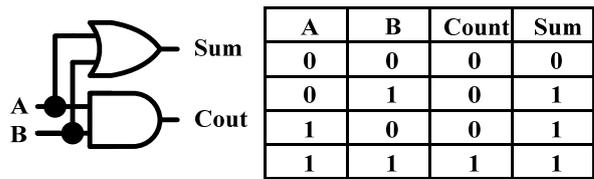


圖 12. 文獻[4]所提之架構 AO 圖

前一節所描述之文獻[4]分析設計，其誤差補償 IC 比起其他文獻能有效降低誤差，加上架構因少量電晶體而使面積在不同位元下增長速度緩慢等優點。本文所提架構同樣以 Antonio G. M. Strollo[4]為基礎，經由機率統計與權重關係，針對次輸入補償(MIC)進行誤差補償。根據較高權重搭配較低權重做進位判別來說明整個架構誤差補償設計情形，達到精準的誤差補償。

圖 13 為我們於本論文中所提出的固定寬度乘法器架構方塊圖。我們跟文獻[4]一樣，都是以多輸入誤差補償架構來實現 EC，改良的部分在於我們使用 IC 搭配 MIC 來建構整個 EC 的電路，可較有效率的補償誤差，且因為我們使用固定式的補償方式，所以電路面積也會比較小。如圖 13 所示，完整的部分乘積

(PP)是由簡單的及閘(AND Gate)所建構的MSP、IC 和 MIC 部份所共同組成。輸入補償乘積部份需誤差補償方塊來求出誤差補償函數，輸出為 $n-1$ 位元: c_1, \dots, c_{n-1} 。其中，誤差補償IC方塊所有權重為 $LSB = 2^n$; 誤差補償MIC方塊所有權重則為 $LSB = 2^{n-1}$ 。

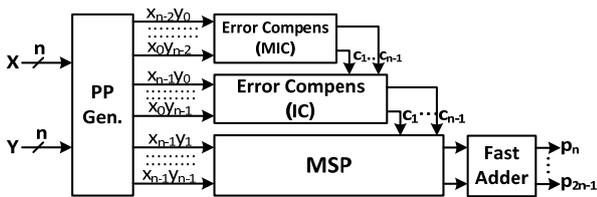


圖 13. 所提固定寬度乘法器之多輸入誤差補償架構

本論文所提出的固定寬度乘法器架構如圖 14，我們以輸入 8 位元固定寬度乘法器做說明。此架構可分為(A)和(B)兩個部分，(A)部分進行 IC 補償條件限制，在或閘(OR Gate)分別輸入 C_1 及 C_2 作進位判別，當進位 C_1 或進位 C_2 其中有進位或同時都有進位之情形時即做輸出補償。當 C_1 或 C_2 有進位之情形時，Sum_HA 則為 0 即 C_{n-1} 未進位狀態，所以我們於 Sum_HA 上加入反閘(NOT Gate)，以限制進位輸出為 1。並在反閘(NOT Gate)輸出後由及閘(AND Gate)做 $\beta=2$ 或 $\beta=4$ 修正之條件限制。

部分(B)，或閘 2(OR Gate)外部乘積部分由兩輸入 $x_{n-2}y_0$ 及 x_0y_{n-2} 組成，判別至少有一項部份乘積為一。或閘 3(OR Gate)內部乘積部份由 $x_{n-3}y_1$ 、 $x_{[(n/2)-1]}y_{[(n/2)-1]}$ 及 x_1y_{n-3} 組成，值得注意的是，這三項輸入值並不是將 MIC 中間部分全接，僅針對 MIC 內部乘積兩端及中間部分設計。內部乘積兩端由表一對稱關係得知部份乘積兩端進位機率相同，所以我們選擇以或閘(OR Gate)來判別 $x_{n-3}y_1$ 及 x_1y_{n-3} 當部份乘積其中一項為一時即輸出為一以利進位。中間部分權重值 $x_{[(n/2)-1]}y_{[(n/2)-1]}$ 比其他來的

高，其進位為一的機率為 MIC 乘積中最高，能較有效提升進位率。當外部乘積其中一項乘積為一時，將進行進位。或閘 2(OR Gate 2)與或閘 3(OR Gate 3)一併輸入及閘(AND Gate)對補償不足的誤差加以補償。

為了降低電晶體數目來進一步縮小面積我們透過狄摩根化簡，MOS 電晶體組成或閘(OR)與及閘(AND)時需由反或閘(NOR)或反及閘(NAND)再加上反相閘(NOT)。經由化簡將或閘(OR)與及閘(AND)轉換成反或閘(NOR)，如此一來可以減少不必要的反相閘(NOT)，如圖 15。

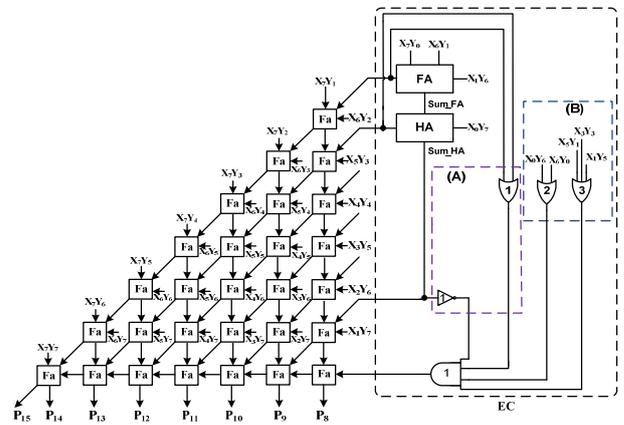


圖 14. 所提之誤差補償電路架構

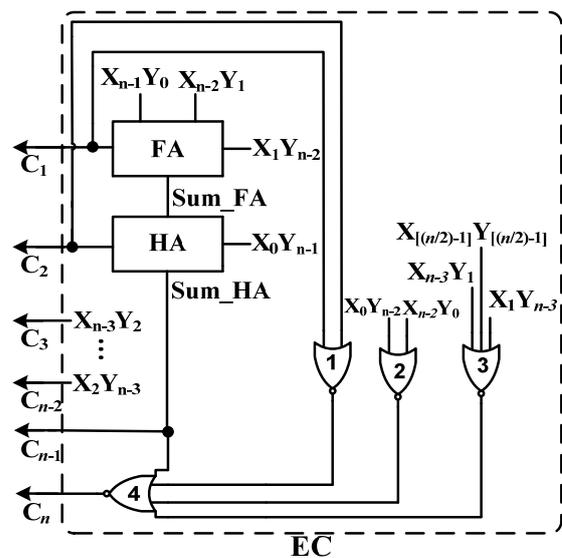


圖 15. 所提誤差補償經簡化之電路架構

IV. 誤差修正效果比較 (Error Performance Comparison)

為了證明所提出之補償電路能有效降低誤差，分別模擬計算出在不同位元下之平均絕對誤差(Average absolute error, $\epsilon_{avg,\%}$)、均方誤差(Mean-Square Error, $\epsilon_{ms,\%}$)、變動誤差(Variance of error, $v_{\%}$)。對於誤差修正固定寬度乘法器 MSP，誤差分別定義如下：

$$\epsilon_{avg,\%} = \frac{\epsilon_{avg}}{\epsilon_{max(MSP)}} \times 100\% \quad (29)$$

$$\epsilon_{ms,\%} = \frac{\epsilon_{ms}}{\epsilon_{ms(MSP)}} \times 100\% \quad (30)$$

$$v_{\%} = \frac{v}{v_{(MSP)}} \times 100\% \quad (31)$$

當 $\epsilon_{avg,\%}$ 與 $\epsilon_{ms,\%}$ 及 $v_{\%}$ 越小，代表固定寬度乘法器更為準確。透過式(29)-(31)計算分別顯示模擬結果在表 4-6。由表 4-6 誤差補償結果顯示出所提出之固定寬度乘法器比文獻[1]-[4]更準確，並有效降低截斷誤差，無論在平均絕對誤差(Average absolute error, $\epsilon_{avg,\%}$)比較結果、相對均方誤差(Mean-Square Error, $\epsilon_{ms,\%}$)比較結果、或是相對變動誤差(Variance of error, $v_{\%}$)比較結果，我們所設計的固定寬度乘法器都擁有最佳的誤差補償效能表現。其中，表中文獻[4]我們將與所提之(TypeII)架構做比較。關於所補償硬體之 CMOS 電晶體面積百分比定義式子如下。

$$R_{\%} = \frac{M_{Truncated}}{M_{Standard}} \times 100\% \quad (32)$$

在式(32)， $M_{Standard}$ 與 $M_{Truncated}$ 分別指標準乘法器和不同截斷乘法器的 CMOS 電晶體數量，表 7 說明所提架構之 CMOS 電晶體數相較於截斷固定寬度乘法器的電晶體面積比例比較結果。由表 4 平均絕對誤差及表 7 電晶體面積比例描繪成圖 16。X 軸為電晶體面積比例，Y 軸為平均絕對誤差。我們比較在 16×16 位元下截斷固定寬度乘法器，透過圖

16 我們可以觀察出所提出固定寬度乘法器除了電晶體數目比文獻[3]與文獻[4]來的少，也都比其他文獻擁有較低的誤差率。

本論文中所設計的低面積、高精準度固定寬度乘法器電路相較 MSP 可以改善 80% 的平均絕對誤差，相較於標準乘法器可以節省 42% 的電晶體數目，在 16×16 位元的乘法器中，更可節省面積達 47%。詳細電晶體數目的比較數據整理於表 8 以及圖 17。表 8 說明了各架構硬體所耗費之電晶體個數，由圖 17 可看出在不同位元下，文獻[1],[3]-[4]將因位元數增加而使電晶體增加；且因為都使用相同電晶體數目，所以 3 條曲線是相疊在一起的。圖 17 中的數據顯示，我們所提出的固定寬度乘法器補償電路架構在不同位元下，其電路複雜度都是固定的，其電晶體數目並不會受位元數增加而成長；如此的優勢，在越來越複雜的 DSP 應用上將更顯示出其有效節省電路成本的優勢。當乘法器的輸入位元數在 8 位元以上時，我們所設計的固定寬度乘法器補償電路電晶體數目都是最少的，在 16 位元的情形下，我們的補償電路更僅需其他文獻電路 36.7% 的電晶體數目即可。

圖 18 為所提固定寬度乘法器和文獻[4]比較所得之誤差訊號，此圖顯示所有補償差異的樣本。由圖 18 可看出所提固定寬度乘法器之修正誤差值大致上都比文獻[4]低。圖 19 則為在所提 16 位元固定寬度乘法器之晶片佈局圖，晶片實現於 TSMC 0.18 μ m 製程下，晶片面積為 1035 μ m×1030 μ m。

表 4. 平均絕對誤差(Average absolute error, $\epsilon_{avg,\%}$) 比較結果

| Multiplier | n=6 | n=8 | n=12 | n=16 |
|----------------------------|-----------------|------------------|--------------------|---------------------|
| MSP | 100% (80.25) | 100% (448.25) | 100% (11264.25) | 100% (245760.25) |
| J. M. Jou[1] | 46.44% | 38.03% | 27.47% | 21.39% |
| S. J. Jou[2] | 30.04% | 23.64% | 17.25% | 14.06% |
| F. Curticapean[3] | 27.22% | 22.27% | 16.92% | 13.98% |
| A. G. M. Strollo[4](typeI) | 26.46% | 21.38% | 16.03% | 13.27% |
| Proposed paper | 24.59% | 20.30% | 15.43% | 12.87% |

表 5. 相對均方誤差(Mean-Square Error, $\epsilon_{ms,\%}$)比較結果

| Multiplier | n=6 | n=8 | n=12 | n=16 |
|----------------------------|-----------------|-----------------|-----------------|------------------|
| MSP | 100% (2.236) | 100% (4.018) | 100% (9.098) | 100% (16.181) |
| J. M. Jou[1] | 21.04% | 14.89% | 8.58% | 5.59% |
| S. J. Jou[2] | 9.85% | 6.56% | 3.82% | 2.66% |
| F. Curticapean[3] | 8.09% | 5.82% | 3.66% | 2.62% |
| A. G. M. Strollo[4](typeI) | 7.67% | 5.38% | 3.30% | 2.37% |
| Proposed paper | 6.53% | 4.82% | 3.05% | 2.22% |

表 6. 相對變動誤差(Variance of error, $u_0\%$)比較結果

| Multiplier | n=6 | n=8 | n=12 | n=16 |
|----------------------------|----------------|-----------------|--------------------|----------------------|
| MSP | 100% (2318) | 100% (58494) | 100% (25532558) | 100% (9088701326) |
| J. M. Jou[1] | 19.51% | 16.40% | 13.72% | 12.35% |
| S. J. Jou[2] | 12.30% | 9.94% | 8.00% | 7.21% |
| F. Curticapean[3] | 10.08% | 8.82% | 7.64% | 7.08% |
| A. G. M. Strollo[4](typeI) | 9.66% | 8.19% | 6.94% | 6.44% |
| Proposed paper | 7.91% | 7.27% | 6.38% | 6.04% |

表 7. CMOS 電晶體數目比較結果

| Multiplier | n=6 | n=8 | n=12 | n=16 |
|----------------------------|----------------|----------------|----------------|----------------|
| Standard structure | 100% (1140) | 100% (2184) | 100% (5280) | 100% (9720) |
| MSP | 55.26% | 53.85% | 52.50% | 51.85% |
| J. M. Jou [1] | 60.00% | 57.42% | 54.89% | 53.64% |
| S. J. Jou [2] | 55.26% | 53.85% | 52.50% | 51.85% |
| F. Curticapean [3] | 60.00% | 57.42% | 54.89% | 53.64% |
| A. G. M. Strollo[4](typeI) | 61.58% | 58.24% | 55.23% | 53.83% |
| Proposed paper | 62.46% | 57.60% | 54.05% | 52.70% |

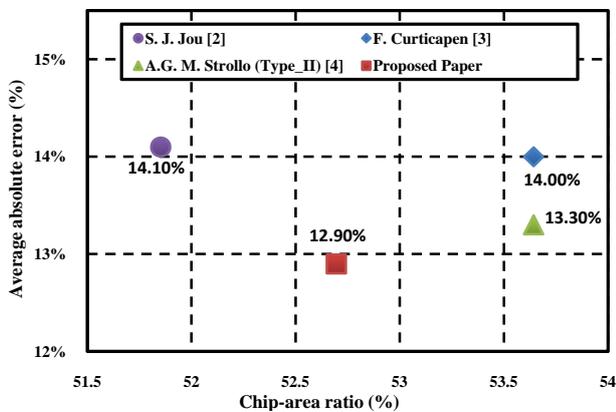


圖 16. 16×16 固定寬度乘法器之平均絕對誤差對晶片面積比例分佈圖。

表 8. 在不同 n 位元下各文獻所耗費的 CMOS 電晶體個數

| Multiplier | n=6 | n=8 | n=12 | n=16 |
|----------------------------|-----|-----|------|------|
| J. M. Jou [1] | 54 | 78 | 126 | 174 |
| S. J. Jou [2] | 0 | 0 | 0 | 0 |
| F. Curticapean [3] | 54 | 78 | 126 | 174 |
| A. G. M. Strollo[4](typeI) | 54 | 78 | 126 | 174 |
| Proposed paper | 64 | 64 | 64 | 64 |

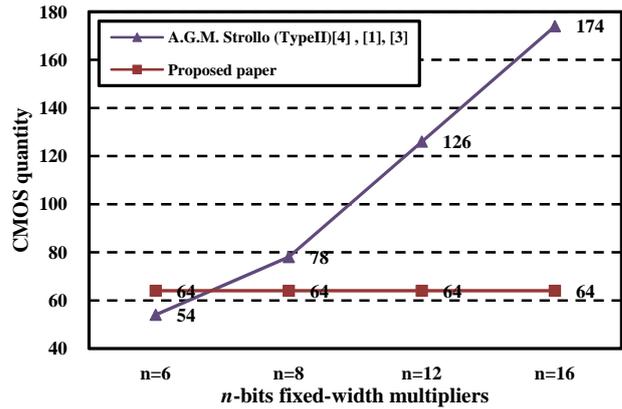


圖 17. 在不同 n 位元下各架構所耗費的電晶體個數。

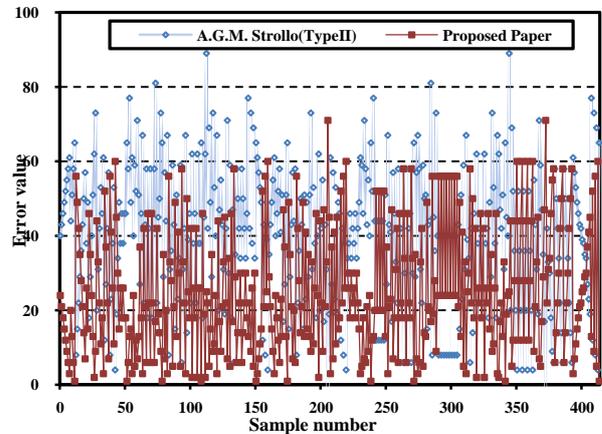


圖 18. 比較文獻[4]所得誤差訊號結果

V. 結論 (Conclusion)

本論文針對次輸入補償部分做誤差補償，統計分析權重關係，由較高權重搭配較低權重做進位判別，以固定式的補償電路達到精確的誤差補償，且耗費極少的補償面積。模擬結果證實，本論文所設計的固定寬度乘法

器在8×8位元乘法器中，可較截斷固定乘法器之誤差改善80%，且對於標準乘法器可節省42%的面積。

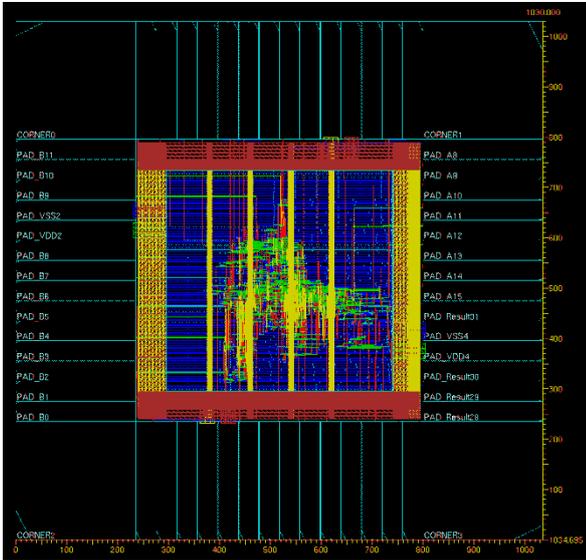


圖 19. 本論文所設計的 16×16 位元固定寬度乘法器之晶片佈局圖

參考文獻 (References)

[1]. J.M. Jou, S. R.Kuang, and R. D. Chen, "Design of low-error fixed-width multipliers for DSP applications," *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process.*, vol. 46, no. 6, pp. 836–842, Jun. 1999.

[2]. S. J. Jou, and H. H. Wang, "Fixed-Width Multiplier for DSP Application," *IEEE International Symposium on Computer Design*, Sept. 2000, pp318-322.

[3]. F. Curticapean and J. Niittylahti, "A hardware efficient direct digital frequency synthesizer," in *Proc. IEEE Int. Conf. on Electronics, Circuits, and Systems (ICECS'01)*, vol. 1, St. Julians, Malta, Sep. 2–5, 2001, pp.51–54.

[4]. Antonio G. M. Strollo, Nicola Petra and Davide De Caro, "Dual-tree Error Compensation for High Performance

Fixed-width Multipliers" *IEEE Transactions in Circuits and Systems II*, vol.52, no.8, pp.501-507 Aug. 2005.

[5]. Y.C. Lim, "Single-Precision Multiplier with Reduced Circuit Complexity for Signal Processing Applications", *IEEE Trans. On Computers*, vol.41, no.10, pp.1333-1336, Oct. 1992.

[6]. S. S. Kidambi, F. El-Guibaly, and A. Antonious, "Area-efficient multipliers for digital signal processing applications," *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process.*, vol. 43, no. 2, pp. 90–95, Feb. 1996.

[7]. B. Parhami, *Computer Arithmetic: Algorithms and Hardware Designs*. Oxford, U.K.: Oxford Univ. Press, 1999.

[8]. N. Petra, D. De Caro, Antonio G.M. Strollo, "Design of fixed-width multipliers with minimum mean square error," in *proc. European Conference on Circuits Theory and Design (ECCTD 2007)*, pp.464-467, Aug. 2007.

[9]. L.D. Van, C.C. Yang, "Generalized Low-Error Area-Efficient Fixed-Width Multipliers" *IEEE Transactions in Circuits and Systems I*, vol.52, no.8, pp.1608-1619 Aug. 2005.

[10]. L.-D. Van, S.-S. Wang, and W.-S. Feng, "Design of the low error fixed-width multiplier and its application," *IEEE Trans. Circuit Syst. II*, vol. 47, no. 10, pp. 1112-1118, Oct. 2000.

[11]. W. J. Ping, and K. S. Rong, "Area-Efficient Signed Fixed-Width Multipliers with Low-Error Compensation Circuit," *IEEE Workshop. Signal Processing Systems.*, vol. 17, no. 19, pp. 157-162. Oct. 2007.