

# 逢甲大學學生報告 ePaper

報告題名：

具有高介電閘極氧化層之增強型氮化鋁鎵/氮化鎵金

屬：氧化物-半導體異質場效電晶體研製與分析

Investigations on Enhancement-Mode AlGaN/GaN MOS : HFETs  
with High Dielectric Gate Oxidation

作者：張永郁、沈彥廷、林雲中、彭政方、林岱瑩

系級：電子工程學系 四甲

學號：D0209720、D0285367、D0248026、D0248056、D0495054

開課老師：李景松 教授

課程名稱：化合物半導體元件

開課系所：電子工程學系

開課學年：105 學年度 第 2 學期



## 中文摘要

本報告旨在應用臭氧水氧化製程技術(ozone water oxidization treatment)研製一具有增強型操作之氮化鋁鎵/氮化鎵金屬-氧化層-半導體異質結構場效電晶體。藉由薄化蕭特基接觸層(Schottky contact layer)使元件獲致增強型(Enhancement mode)元件操作，進而應用臭氧水氧化製程技術，在元件之氮化鋁鎵蕭特基接觸層表面形成一具有奈米尺寸、高介電常數之氧化鋁( $\text{Al}_2\text{O}_3$ )薄膜，同時作為閘極介電層與表面鈍化層，以有效降低表面缺陷以及閘極漏電流，大幅改善元件工作特性。

本報告藉量測脈衝電流電壓 (I-V)，低頻雜訊和比較 Hooge 係數來驗證通過氧化物鈍化效應來改善表面品質的效果。與使用相同磊晶製程的傳統具有蕭特基閘極結構異質場效電晶體相較之下，元件的電流增益，電流驅動密度，崩潰電壓，電流開/關比都更加優異。

關鍵字：臭氧水氧化處理、金屬-氧化層-半導體結構高電子移動率電晶體、增強型模式。

## Abstract

The purpose of this work is to investigate  $\text{Al}_{0.25}\text{Ga}_{0.75}\text{N}/\text{GaN}$  enhancement-mode (E-mode) metal–oxide–semiconductor hetero -field-electrical transistors (MOS-HFETs) obtained by the ozone water oxidization method. Thin Schottky contact barrier layer is devised to achieve enhancement-mode device operation and then applying a process of ozone water oxidation to form an AlGaN layer on the surface of the AlGaN schottky contact layer ( $\text{Al}_2\text{O}_3$ ) thin film with nano-size and high dielectric constant as gate dielectric layer and surface passivation layer to effectively reduce surface defects and gate leakage current and greatly improve the operating characteristics of the device.

Pulse current–voltage (I–V), low-frequency noise, and Hooge coefficient measurements are compared to verify the interface quality improved by the oxide passivation effect. In comparison, a conventional Schottky-gate HEMT device is also fabricated on the same epitaxial sample. Enhanced device gain, current drive density, breakdown, on/off current ratio are better than conventional HFETs in this work.

**Keywords:** Ozone water oxidization method, MOS-HFETs, Enhancement mode.

## 目錄

壹、簡介.....	4
貳、元件結構設計與元件製程.....	5
1.元件結構.....	5
2.元件製程.....	6
參、實驗結果與討論.....	7
1.AI <sub>2</sub> O <sub>3</sub> 薄膜穿隧式電子顯微鏡(TEM)分析.....	7
2.蕭特基二極體和AI <sub>2</sub> O <sub>3</sub> MOS二極體電容-電壓特性.....	8
3.AI <sub>2</sub> O <sub>3</sub> MOS二極體的介面態密度.....	9
4.傳統型HFET和MOS-HFET的直流和脈衝模式特性.....	10
5.傳統型HFET和MOS-HFET的低頻雜訊特性.....	10
6.室溫下傳統型HFET 和 MOS-HFET在的雙端截止汲極閘極崩潰電 壓和前端開路電壓特.....	11
7.室溫下傳統型HFET和MOS-HFET的外質轉導(GM)和汲極漏電流 (IDS).....	12
8.室溫下傳統型HFET 和 MOS-HFET的三端截止電壓特.....	12
肆、結果與討論.....	13
伍、參考文獻.....	14

## 壹、簡介

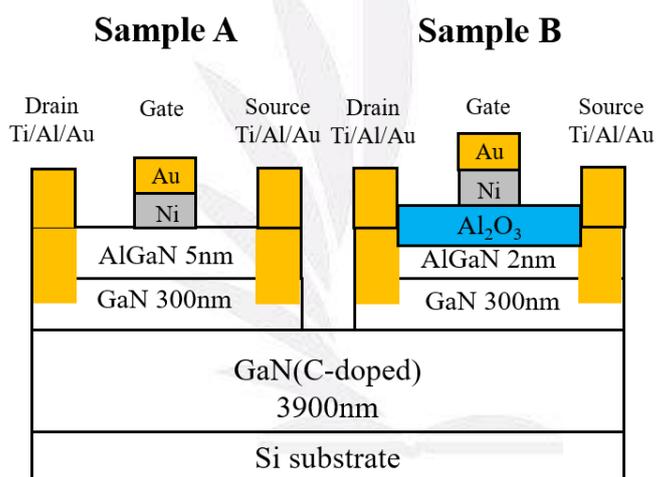
由於元件尺寸持續縮小，閘極介電層之等效氧化層尺寸成為重要設計參數，常見的閘極氧化層二氧化矽( $\text{SiO}_2$ )由於介電常數偏低( $\sim 3.9$  eV)，電子常因二氧化矽厚度降低而更容易穿越介電層能障，造成過高的閘極漏電流，導致元件特性劣化。使用高介電常數之材料取代二氧化矽當作閘極介電層已成為普遍使用，如氧化鋁( $\text{Al}_2\text{O}_3$ )、氧化鈦( $\text{TiO}_2$ )、氧化釷( $\text{La}_2\text{O}_3$ )、氧化鈣( $\text{HfO}_2$ )等。由於高介電常數材料與氮化鋁鎵/氮化鎵晶格匹配之問題，無法於表面形成良好的介面品質，唯有透過介面狀態密度( $D_{it}$ )來得知介電層與半導體之間的介面品質，介面狀態密度( $D_{it}$ )常見之計算方法為高/低頻電容法，用高/低頻電容法計算出介面陷阱密度，介面陷阱( $Q_{it}$ )隨著閘極偏壓改變而改變，進而捕捉或釋放介電層中的載子，經由高/低頻電容法所產生的電容值差異，可經由公式計算出介面缺陷密度。目前文獻指出可實現增強型工作之技術包含：閘極掘入、氟離子電漿製程、薄化蕭特基接觸層等。其中在本次報告中我們在基板磊晶過程中，使用較薄的蕭特基接觸層，可有效降低因異質結構所產生的極化效應，使元件實現增強型操作。

本報告增強型異質結構元件所採用薄化蕭特基接觸層之結構，用來降低氮化鋁鎵/氮化鎵異質結構所產生的極化效應，促使元件可達到增強型元件操作條件，並將藉由閘極氧化層所提供之表面鈍化與高絕緣能力功效，改善元件崩潰電壓、導通電流及轉換互導增益等元件工作性能。

## 貳、元件結構設計與元件製程

### 1. 元件結構：

在傳統異質結構場效應電晶體(HFETs)之蕭特基閘極結構設計中，元件操作在高電壓、高電場下所造成之漏電流嚴重影響元件特性，因此成長氧化層形成金屬-氧化物-半導體異質結構場效應電晶體(HFETs)來降低因懸浮鍵(dangling bond)所引起的表面之狀態現象進而改善元件崩潰、功率增益與高線性度等元件工作特性。



(a) 傳統元件結構

(b) 金屬-氧化物-半導體元件結構

圖一、(a)傳統與(b)具有金屬-氧化物-半導體閘極結構異質結構場效應電晶體

本報告傳統異質場效應電晶體元件之磊晶的結構由下依序包含：矽基板、3.9 微米氮化鎵成核層、300 奈米的氮化鎵層以及 5 奈米的氮化鋁鎵層，如圖一(a)所示。圖一(b)為具有金屬-氧化物-半導體閘極結構之異質場效應電晶體，於沉積鎳/金閘極電極前，在氮化鋁鎵層上多沉積氧化層。

## 2. 元件製程：

### (1) 高台絕緣(Mesa Isolation)的製作：

此步驟將每一個元件隔離開來以免互相影響而產生漏電流。我們將使用電感耦合式乾蝕刻(ICP-RIE)系統定義出絕緣區域。

### (2) 汲/源極歐姆接觸(Source and Drain Ohmic Contact)：

採用鈦/鋁/金，來作為汲極和源極歐姆接觸的材料。成長完磊晶層後，依序經清洗步驟去除油脂，接著以標準的黃光微影技術與掀起製程技術形成源極和汲極的圖案，接著汲/源極圖案上蒸鍍鈦、鋁及金作為極/源極電極，沉積金屬後進行退火處理以形成歐姆接觸。

### (3) 閘極蕭特基接觸(Gate Schottky Contact)：

使用鎳/金作為蕭特基接觸金屬。做完汲/源極歐姆接觸之後，以標準黃光微影技術與掀起製程技術形成閘極圖案，然後用熱蒸鍍鎳/金沉積閘極電極。

### (4) 氧化層沉積(Oxide Deposition):

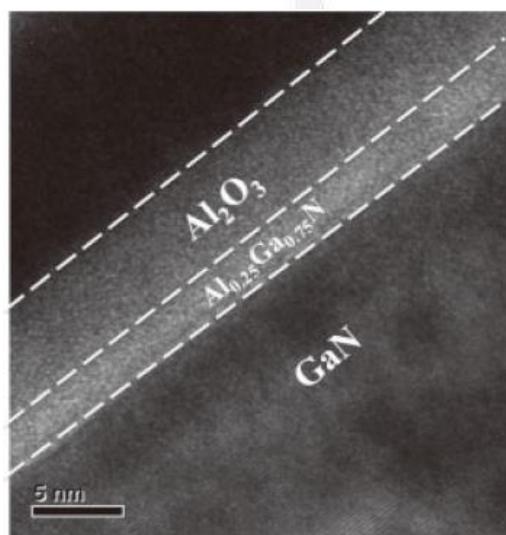
此為金屬-氧化物-半導體閘極(MOS-gate)結構重要的一環，目前常見沉積氧化層的方式有很多，像是濺鍍(Sputter)及原子層沉積(ALD)等，在本報告中我們將選用低成本、製程簡單且可以在室溫室壓環境下操作的臭氧水處理技術。形成歐姆接觸後，將元件浸泡於臭氧水中形成氧化層(氧化鋁)，接著再進行閘極電極的沉積，以形成金屬-氧化物-半導體閘極(MOS-gate)結構。

## 參、實驗結果與討論

1. 藉由穿透式電子顯微鏡(TEM)直接觀察氧化層結構之介面品質，回饋製程參數之調整，利用 TEM 可精準觀測奈米等級的薄膜厚度。

表 5-1 薄膜厚度

材料	$\text{Al}_2\text{O}_3$
薄膜厚度(nm)	7



圖二、 $\text{Al}_2\text{O}_3$  薄膜穿隧式電子顯微鏡(TEM)分析

2. 以電容-電壓(C-V)量測技術，萃取閘極介電氧化層之介電係數(k)值。

※氧化層 k 值計算：

將藉由 C-V 量測所成長氧化層結構之兩端特性，並與傳統金屬-障壁層結構之兩端特性作比較，以進一步分析相關製程與材質結構參數與電荷儲存及操作電壓平移等特性作分析比對，並藉此驗證所製成

之氧化層結構之界面品質與該氧化層之介電係數。將藉由 TEM 量測出氧化層之膜厚( $t_{ox}$ )，C-V 量測試操作於 1 MHz，電容的公式可以表示為：

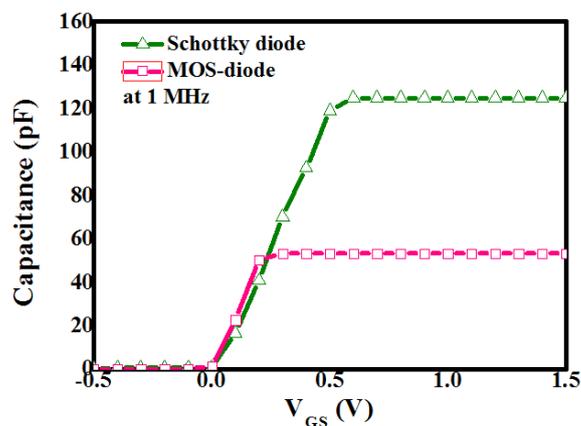
$$C_{ox} = k\epsilon_0 \frac{A}{t_{ox}} \quad (1)$$

$$\frac{1}{C_{total}} = \frac{1}{C_{ox}} + \frac{1}{C_{HEMT}} \quad (2)$$

其中  $C_{total}$  為總電容， $C_{ox}$  為氧化層電容， $\epsilon_0$  為真空介電常數  $8.85 \times 10^{-12}$  F/m， $k$  是材料介電常數， $t_{ox}$  是氧化層厚度和  $A$  是  $8000 \mu\text{m}^2$  的閘極面積，我們可以透過公式(1)和(2)來計算出氧化層的介電常數。

表 4-2 電容-電壓特性總結

樣品	金屬-半導體 蕭特基二極體	金氧半 蕭特基二極體
電容(pF)	125	53.4
$C_{ox}$ (pF)	-	92.9
介電常數	-	9.2



圖三、蕭特基二極體和  $\text{Al}_2\text{O}_3$  MOS 二極體電容-電壓特性

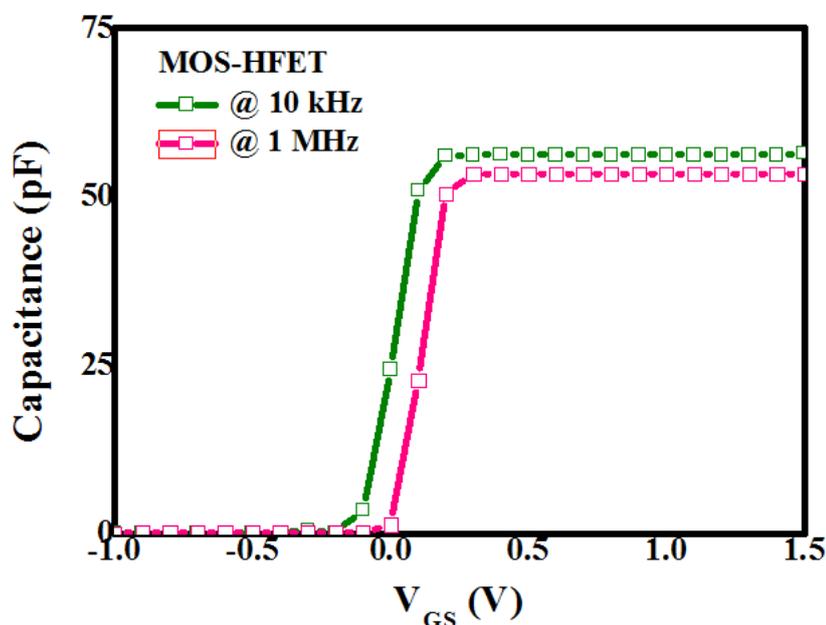
3. 以高/低頻電容-電壓(C-V)量測技術，計算 MOS 閘極之介面密度 ( $D_{it}$ )。

※閘極介面狀態密度計算：

我們將使用高/低頻電容法來計算出介面狀態密度( $D_{it}$ )，C-V 量測於高頻率與低頻率分別為 1MHz 與 10KHz，分別去量測出 MOS-HEMT 之電容值，進去透過下列公式(3)去計算出元件的閘極介面狀態密度。

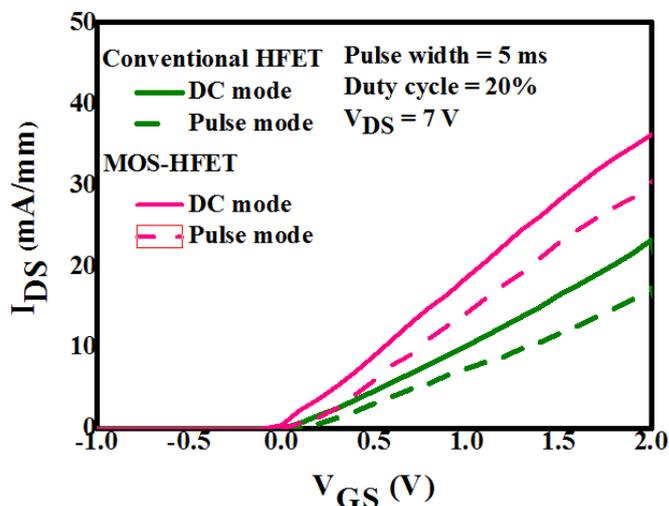
$$D_{it} = \frac{C_{ox}}{q} \left( \frac{\frac{C_{LF}}{C_{ox}}}{1 - \frac{C_{LF}}{C_{ox}}} - \frac{\frac{C_{HF}}{C_{ox}}}{1 - \frac{C_{HF}}{C_{ox}}} \right) \quad (3)$$

$q$  為基本電荷， $C_{ox}$  為氧化層電容， $C_{LF}$  為低頻(10 KHz)電容， $C_{HF}$  為在高頻(1 MHz)電容。金氧半蕭特基二極體的平均表面狀態密度( $D_{it}$ ) 為  $1.38 \times 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 。



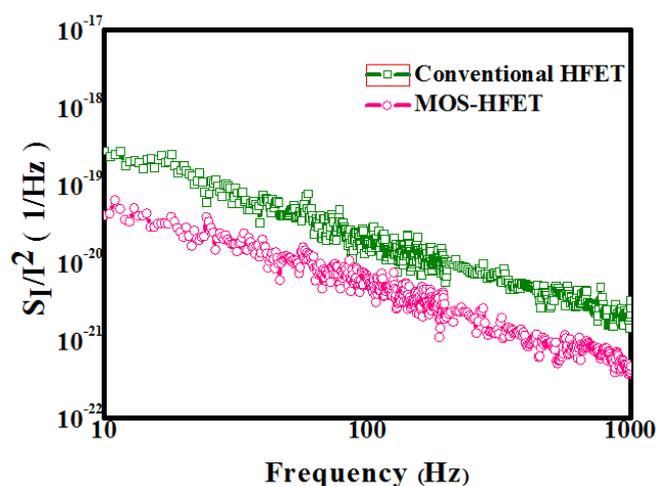
圖四、Al<sub>2</sub>O<sub>3</sub> MOS 二極體的介面能態密度

4. 以 DC-及 pulse-IV 比較元件表面狀態密度及電流崩塌現象之改善情形。



圖五、傳統型 HFET 和 MOS-HFET 的直流和脈衝模式特性

5. 以低頻雜訊量測技術，萃取虎克係數(Hooge coefficient)、比較介面特性改善情形。

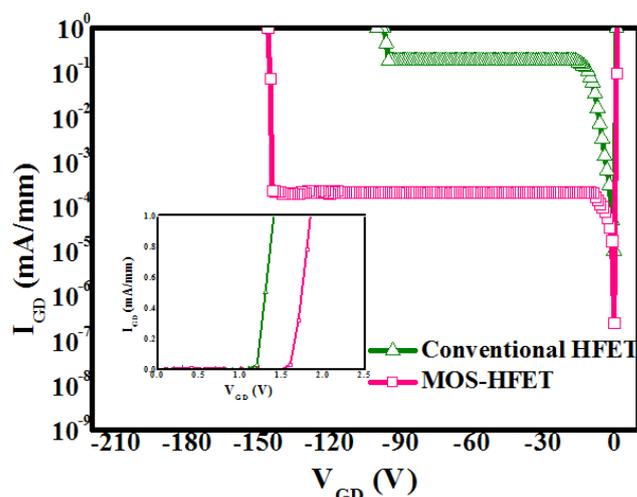


圖六、傳統型 HFET 和 MOS-HFET 的低頻雜訊特性

6. 以 KEITHLEY4200 參數分析儀量測元件  $I_{GD}-V_{GD}$  的輸出直流特性，量測元件之兩端崩潰電壓特性。

表 4-8 雙端崩潰特性總結

樣品	傳統型 HFET	MOS-HFET
$BV_{GD}$ (V)	-95	-145
$V_{on}$ (V)	1.3	1.6
$I_g$ (mA/mm)	$1.9 \times 10^{-1}$	$2.2 \times 10^{-4}$



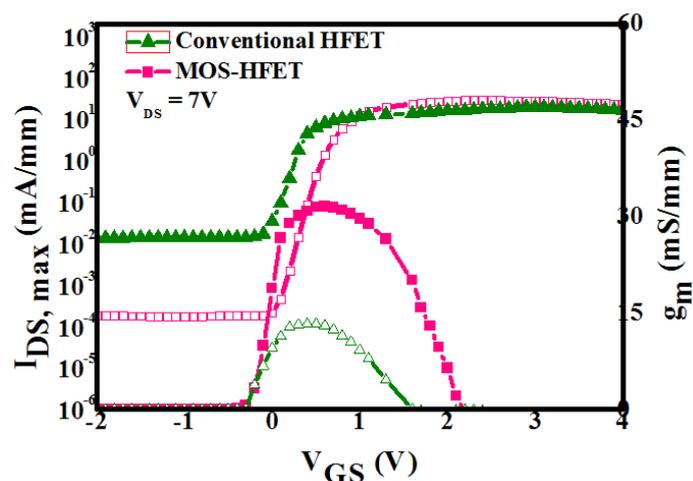
圖七、室溫下傳統型 HFET 和 MOS-HFET 在的雙端截止汲極開崩潰電壓和前端開路電壓特性

7. 以 KEITHLEY4200 參數分析儀量測元件之  $I_{DS}-V_{DS}$  的輸出直流特性，以計算臨界電壓、最大輸出電流、外質轉導增益、導通/截止電流比、次臨界斜率、三端操作導通崩潰電壓等元件基本特性。

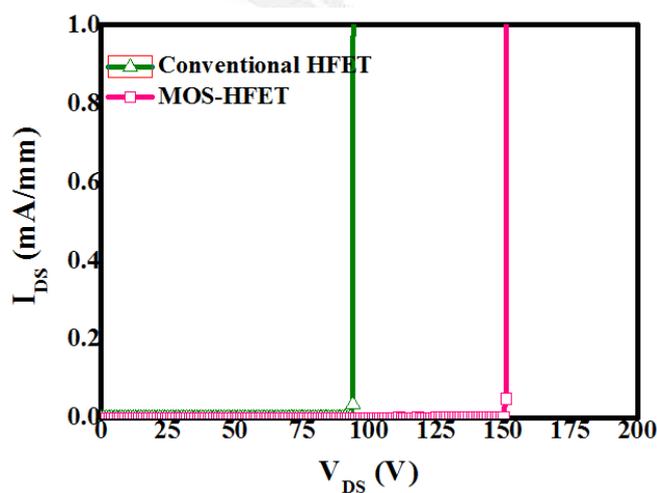
表 4-7 轉換特性總結

Sample	Conventional HFET	MOS-HFET
$I_{D,max}$ (mA/mm)	23.1	50.4
$BV_{off}$ (V)	98	151

$g_{m,max}$ (mS/mm)	13.3	31.6
GVS (V)	0.5	1.2
$V_{th}$ (V)	0.1	0
SS (mV/decade)	174.6	125.7
$I_{on}/I_{off}$ ratio	$5.78 \times 10^2$	$6.22 \times 10^4$



圖八、在室溫下傳統型 HFET 和 MOS-HFET 的外質轉導( $G_M$ )和汲極漏電流( $I_{DS}$ )



圖九、在室溫下傳統型 HFET 和 MOS-HFET 的三端截止電壓特性

## 肆、結果與討論

本報告中，我們成功製造與研究增強型 HFET 與氧化鋁( $\text{Al}_2\text{O}_3$ ) 為介電層的 MOS-HFET。

在增強型 HFET 中，我們論證了臨界電壓為 0.1V。氧化鋁( $\text{Al}_2\text{O}_3$ ) 為介電層的 MOS-HFET 中，我們也論證臨界電壓為 0V，並且 MOS 結構可改善其特性。MOS 結構可成功排除陷阱電荷的影響與表面漏電流的減少，雙氧水處理可沉積高品質的氧化層與低表面密度。

目前的氧化鋁( $\text{Al}_2\text{O}_3$ )為介電層的 MOS-HFET 運用雙氧水處理，可改善元件特性，例如最大汲極電流密度  $I_{D,\max}$ 、最大轉導值  $g_{m,\max}$ 、閘極汲極崩潰電壓。以上特性在傳統型的 HFET 與 MOS-HFET 分別可達到最大汲極電流密度  $I_{D,\max}$ ：23.1/50.4 mA/mm、最大轉導值  $g_{m,\max}$ ：13.3/31.6 mS/mm、閘極汲極崩潰電壓：-95/-145 V。目前的 AlGaN/GaN MOS-HFET 結構，利用氧化鋁( $\text{Al}_2\text{O}_3$ )當作介電層，合適於轉換器與數位邏輯電路的電源轉換。

## 伍、參考文獻

- [1] M. Micovic, T. Tsen, M. Hu, et al., “GaN enhancement/depletion mode FET logic for mixed signal applications,” *Electron. Lett.*, vol. 41, no. 19, pp. 1081-1083, Sep. 2005.
- [2] W. Saito, Y. Takada, M. Kuraguchi, K. Tsuda, I. Omura, T. Ogura, and H. Ohashi, “High breakdown voltage AlGaN-GaN power-HEMT design and high current density switching behavior,” *IEEE Trans. Electron Devices*, vol. 50, no. 12, pp. 2528-2531, Dec. 2003.
- [3] T. Nanjo, M. Takeuchi, M. Suita, T. Oishi, Y. Tokuda, and Y. Aoyagi, “Remarkable breakdown voltage enhancement in AlGaN channel high electron mobility transistors,” *Appl. Phys. Lett.*, Vol. 92, no. 26, p. 263 502, Jun. 2008.
- [4] Y. Wu, M. Jacob-Mitos, M. Moore, and S. Heikman, “A 97.8% efficient GaN HEMT boost converter with 300-W output power at 1 MHz,” *IEEE Electron Device Lett.*, vol. 29, no. 8, pp. 824-826, Aug. 2008.
- [5] W. Satio, Y. Takada, M. Kuraguchi, K. Tsuda, and I. Omura, “Recessed-gate structure approach toward normally off high-voltage AlGaN/GaN HEMT for power electronics applications,” *IEEE Trans. Electron Devices*, vol. 53, no. 2, pp. 356-362, Feb. 2006.
- [6] M. Kuraguchi, Y. Takada, T. Suzuki, M. Hirose, K. Tsuda, W. Satio, Y. Satio, and I. Omura, “Normally-off GaN-MISFET with well-controlled threshold voltage,” *Phys. Stat. Sol. (A)*, vol. 204, no. 6, pp. 2010-2013, Jun. 2007.
- [7] T. Palacios, C.S. Suh, A. Chakraborty, S. Kelly, S. P. Denbaars, and U. K. Mishra, “High-performance E-mode AlGaN/GaN HEMTs,” *IEEE Electron Device Lett.*, vol. 27, no. 6, pp. 428-430, Jun. 2006.
- [8] Y. Cai, Y. Zhou, K. M. Lau, and K. J. Chen, “Control of threshold voltage of

- AlGaN/GaN HEMTs, by fluoride-based plasma treatment: From depletion mode to enhancement mode,” *IEEE Trans. Electron Device*, vol. 53, no. 9, pp. 2207-2215, Sep. 2006.
- [9] O. Hilt, A. Knauer, F. Brunner, E. Bahat-Treidel, and J. Wurfl, “Normally-off AlGaN/GaN HFET with p-type GaN gate and AlGaN buffer,” in *Proc. 22<sup>nd</sup> Int. Symp. Power Semicond.*, pp. 347-350, Jun. 2010.
- [10] O. Hilt, F. Brunner, E. Cho, A. Knauer, E. Bahat-Treidel, and J. Wurfl, “Normally-off high-voltage p-GaN gate GaN HFET with carbon-doped buffer,” in *Proc. Int. Symp. Power Semicond.*, pp.239-242, May 2011.
- [11] S. L. Selvaraj, K. Nagai, and T. Egawa, “MOCVD grown normally-off type AlGaN/GaN HEMTs on 4 inch Si using p-InGaN cap layer with high breakdown,” in *Proc. Device Res. Conf.*, pp. 135-136, Jun. 2010.
- [12] K. Ota, K. Endo, Y. Okamoto, Y. Ando, H. Miyamoto, and H. Shimawaki, “A normally-off GaN FET with high threshold voltage uniformity using a novel piezo neutralization technique,” in *Proc. IEEE IEDM*, pp. 1-4, Dec. 2009.
- [13] M. Ishida, M. Kuroda, T. Ueda, and T. Tanaka, “Nonpolar AlGaN/GaN HFETs with a normally off operation,” *Semicond. Sci. Technol.*, vol. 27, No. 2, pp. 24019-24024, Jan. 2012.
- [14] Y. Chang, W. Chang, H. Chiu, L. Tung, C. Lee, K. Shiu, *et al.*, “Inversion-channel GaN MOSFET using atomic-layer-deposited Al<sub>2</sub>O<sub>3</sub> as gate dielectric,” *Appl. Phys. Lett.*, vol. 93, pp. 053504-1-053504-3, Aug. 2008.
- [15] S. Maroldt, C. Haupt, W. Pletschen, S. Muller, R. Quay, O. Ambacher, C. Schippel, and F. Schwier, “Gate-recessed AlGaN/GaN based enhancement-mode high electron mobility transistors for frequency operation,” *Jpn. J. Appl. Phys.*, vol. 48, no. 4, p. 04C083, Apr. 2009.