



逢甲大學學生報告 ePaper

金屬鈇奈米晶粒於非揮發性記憶體之特性研究

作者：李百樵、許家豪

系級：電子四甲

學號：D9650183、D9650326

開課老師：李景松

課程名稱：化合物半導體元件

開課系所：電子工程學系

開課學年： 97 學年度 第 1 學期



中文摘要

在目前的諸多文獻當中，以金屬奈米晶粒取代傳統 Poly-si 做為主要解決氧化層的缺陷導致漏電流問題的方法，如金屬閘極-氧化層-metalnanocrystal-氧化層-Si 結構，眾多文獻中，使用了許多金屬作為金屬奈米晶粒使用，如 Ni(鎳)，Au(金)、Ag(銀)、Pt(鉑)，以及 Pd(鈀)金屬奈米晶粒，我們有興趣於 Pd(鈀)奈米晶粒作為捕捉電子之浮動閘之研究，因為在眾多文獻中，各界投入各種金屬的研究，但是以 Pd 的不同製程、不同回火條件這方面為研究主題的論文以及相關數據相對的比較缺乏，又 Pd 相較於其他金屬，有其較優良的特性，例如更大的量子井，造成較佳的保存能力，又文獻中，以 Pd 為奈米晶粒的記憶體，擁有 +3.7/-2.5 的 Memory window 在 17V 的操作電壓之下 [1]，另外又有 +6/-6V 的 Memory window 在 17V 的操作電壓之下的數據 [2]，相較於其他奈米晶粒，理應更有利用的價值，故我們在本專題中，將著重於針對 Pd 不同回火溫度之特性量測研究

關鍵字：非揮發性記憶體、CV 量測、穿隧效應、回火

目 次

目錄.....	02
圖.表目錄.....	04
第一章 緒論.....	04
1.1 研究背景.....	04
1.1.1 前言.....	05
1.1.2 研究動機.....	05
第二章 快閃記憶之操作機制與實驗步驟.....	11
2.1 快閃記憶體元件.....	11
2.1.1 非揮發性記憶體.....	11
2.1.2 寫入機制.....	11
2.1.3 抹除機制.....	12
2.1.4 電荷保持力.....	13
2.1.5 金屬奈米晶粒.....	13
2.2 量測方法.....	13
2.2.1 量測前置步驟.....	13
2.2.2 量測關機步驟.....	14
2.2.3 漏電流對電壓(I-V 特性曲線).....	14
2.2.4 電容對電壓(C-V 特性曲線).....	14

2.3 元件製程.....	15
2.3.1 元件製程.....	15
第三章 藉由不同回火溫度對於 Pd 奈米晶粒非揮發性記憶體之研究	
3.1 引言.....	21
3.2 實驗過程與條件.....	23
3.3 結果與討論.....	23
3.3.1 物性的量測分析.....	23
3.3.2 電性的量測分析.....	23
3.3.3 綜合比較以及討論.....	24
第四章 總結以及未來方向.....	37
參考文獻.....	38

圖、表目錄

圖1-1 Pd奈米晶粒圖	08
圖1-2 Pd C-V數據	08
圖1-3 (快閃記憶體結構)	09
圖1-4 (熱電子注入)	10
圖1-5 (量子穿隧抹除)	10
圖 2-1	16
圖 2-2	16
圖 2-3	17
圖 2-4	17
圖 2-5	18
圖 2-6	18
圖 2-7	19
圖 2-8	19
圖 2-9	20
圖 3-1 Pd Control Resolution 200K	25
圖 3-2 Pd Control Resolution 500K	25
圖 3-3 Pd At 500°C for 30s Resolution 200K	26
圖 3-4 Pd At 500°C for 30s Resolution 500K	26

圖 3-5 Pd At 600°C for 30s Resolution 200K.....	27
圖 3-6 Pd At 600°C for 30s Resolution 500K.....	27
圖 3-7 Pd At 700°C for 30s Resolution 200K.....	28
圖 3-8 Pd At 700°C for 30s Resolution 500K.....	28
圖 3-9 Pd At 800°C for 30s Resolution 200K.....	29
圖 3-10 Pd At 800°C for 30s Resolution 500K.....	29
圖 3-11 Pd At 900°C for 30s Resolution 200K.....	30
圖 3-12 Pd At 900°C for 30s Resolution 500K.....	30
圖 3-13 Pd Control.....	31
圖 3-14 Pd 500°C.....	31
圖 3-15 RTA 400°C 30s.....	32
圖 3-16 Pd 600°C.....	32
圖 3-17 RTA 400°C 30s.....	33
圖 3-18 Pd 700°C.....	33
圖 3-19 RTA 400°C 30s.....	34
圖 3-20 Pd 800°C.....	35
圖 3-21 RTA 400°C 30s.....	35
圖 3-22 Pd 900°C.....	36
圖 3-23 RTA 400°C 30s.....	36

第一章 序論

1.1.1 前言

因應 3C 數位時代的來臨，各種新穎的數位產品推陳出新，如數位相機，PDA 等攜帶式電子商品所用的記憶卡，還有隨身碟這些儲存裝置，都因為非揮發性記憶體（NVSM）技術的進步獲得跳躍式的成長，在非揮發性記憶體中，又以快閃記憶體（Flash Memory）因面積小，低耗電，存取速度快，價格低，以及易攜帶的優勢，廣泛的應用在日常的電子產品中。[6][4]

1.1.2 研究動機

1967 年，姜大元（D. Kahng）以及施敏（S. M. Sze）提出了非揮發性記憶體：複晶矽/阻絕層/複晶矽/穿隧氧化層/矽結構，簡稱為 FG（floating gate）結構[2]，其前所未見特性為有別於先前揮發性記憶體，此種結構在電流關掉後，所儲存的資料不會消失，稱為非揮發性記憶體，在非揮發性記憶體中又以快閃記憶體因為以下優勢最為主流：(1)非揮發性(2)高積極度(3)快速寫入/讀取(4)可直接自系統中重複寫入資料(5)高抹除次數(6)低功率(7)低成本，快閃記憶體的寫入機制分為兩種：熱電子注入浮動閘或藉由穿隧注入浮動閘來完成寫入，抹除是以電子穿隧通過氧化層將已注入的電子抹除，為了維持一定的寫入速度及抹除速度，必需使用較高的操作電壓；但是在高電壓

操作下衍生出元件可靠度的問題。早期的非揮發性記憶體因為 floating gate 是由 Poly-si 所組成，在高電壓操作下，容易對矽和二氧化矽造成傷害，使元件的可靠度降低，嚴重時將造成元件的損壞，在技術進步下，記憶體體積持續縮小，浮動閘之穿隧氧化層小於 10nm 時，會容易因氧化層的缺陷導致漏電流以致於儲存在複晶矽的電荷有漏電流的問題 [3][5][13]，為了解決這樣的問題，分離的電儲存單元被發展，第一種是 SONOS 結構，藉由 Si₃N₄ 材料的分離電荷儲存單元特性，將電子保存在 Si₃N₄ 中，第二種是 SO-Nc-OS 的結構，Nc 表示 nanocrystal 奈米晶粒，奈米晶粒可以有效束縛電子，將電子保存在奈米晶粒中，對 SO-Nc-OS 結構研究而言，不同的奈米晶粒材料被研究，為克服早期以 Si、Ge 為主的奈米晶粒所造成的問題，在目前的許多文獻中，以金屬奈米晶粒為主要解決的方法，如金屬閘極(metal gate)-氧化層(blocking oxide or control oxide)-metal nanocrystal-氧化層(tunneling oxide)-Si 結構，利用金屬奈米晶粒作為陷阱捕捉住穿隧注入的電子，因為金屬奈米晶粒擁有比傳統半導體奈米晶粒有較高的狀態密度以及廣範圍的有效功函數。藉由金屬奈米晶粒較大的功函數，將電荷牢牢的抓在量子井中，使其不易流失，改善了傳統半導體奈米晶粒漏電流的問題，眾多文獻中，使用了許多金屬作為金屬奈米晶粒使用，如 Ni(鎳)，Au(銅)、

Ag(銀)、Pt(鉑)，以及 Pd(鈀)金屬奈米晶粒，我們有興趣於 Pd (鈀) 奈米晶粒作為捕捉電子之浮動閘之研究，因為在眾多文獻中，各界投入各種金屬的研究，例如 Ni 之研究，Ni 金屬奈米晶粒嵌入的記憶體可以達到 5V 操作電壓，且 Memory window 可以達 3V[14]，但是以 Pd 的不同製程、不同回火條件，這方面為研究主題的論文以及相關數據相對的非比較缺乏，又 Pd 相較於其他金屬，有其較優良的特性，例如更大的量子井，造成較佳之保存能力，又文獻中，以 Pd 為奈米晶粒的記憶體，擁有+3.7/-2.5 的 Memory window 在 17V 的操作電壓之下[15]，另外又有+6/-6 的 Memory window 在 17V 的操作電壓之下的數據[16]，相較於其他奈米晶粒，理應更有使用的價值，故我們在本專題中，將著重於針對 Pd 不同回火溫度之特性量測研究。

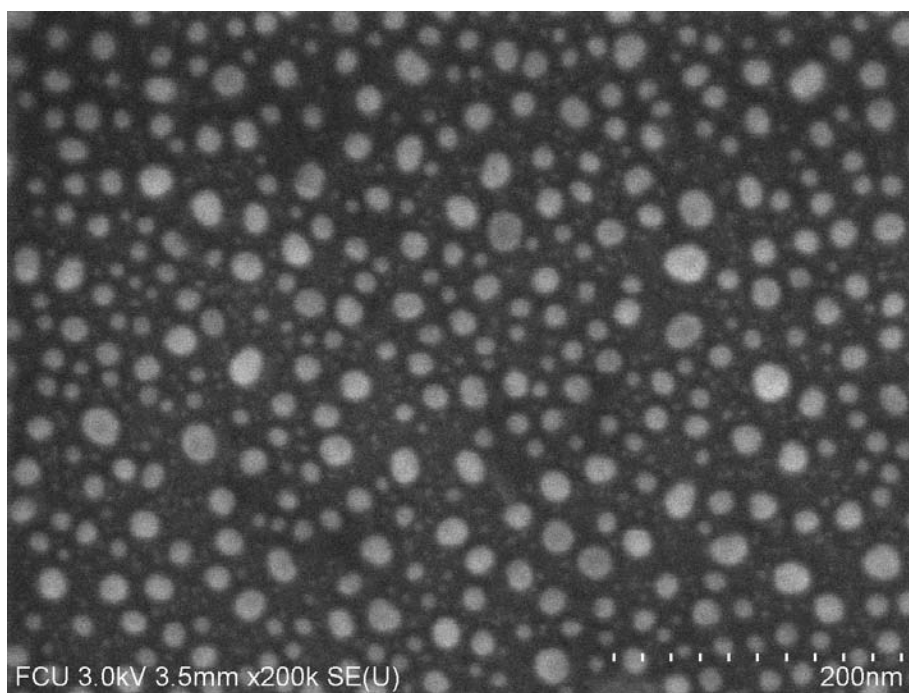


圖 1-1 Pd 奈米晶粒

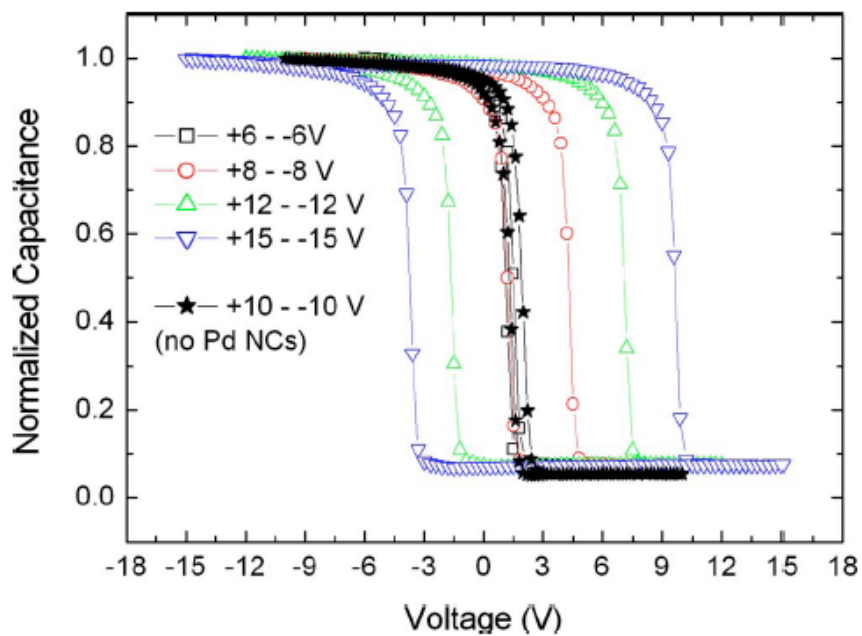


圖 1-2 Pd C-V 數據[16]

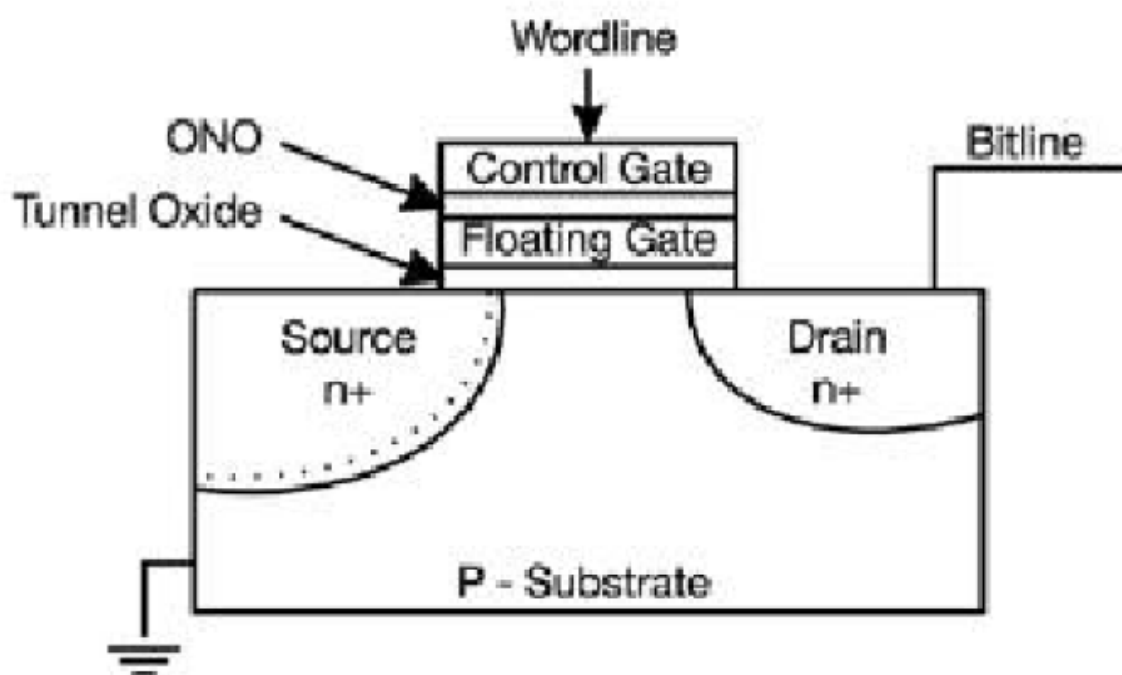
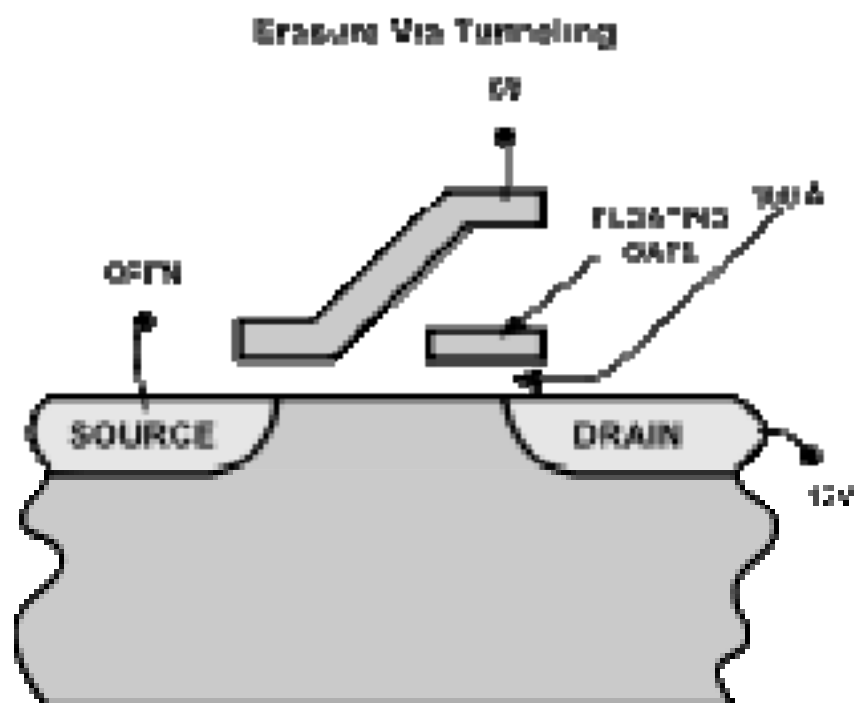
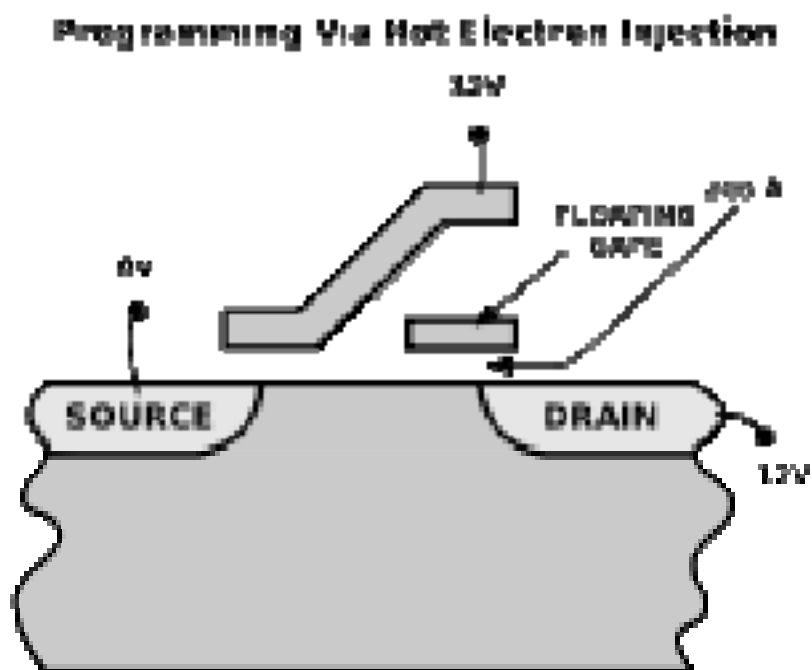


圖 1-3 (快閃記憶體結構)



第二章. 快閃記憶之操作機制與實驗步驟

2.1.1 非揮發性記憶體[1]

一般記憶體分為兩類：揮發性記憶體 (volatile memory) 以及非揮發性記憶體 (Non-volatile memory)，其中非揮發性記憶體是指當電流關掉後，所儲存的資料不會消失的記憶體。又非揮發性記憶體中，依記憶體內的資料是否能在使用電腦時隨時改寫為標準，可分為二大類產品，即唯讀記憶體 (ROM) 和快閃記憶體 (Flash memory)，其中快閃記憶體是浮動閘 (floating gate) 的結構為基礎所構成，在 1967 年，由姜大元 (D. Kahng) 以及施敏 (S. M. Sze) 提出[2]，在每一個儲存的基本單元 (Cell) 中，MOS 結構在閘極 (Gate) 和通道 (Channel) 間，比傳統的只有一層氧化絕緣層 (gate oxide)，又多增加了一層浮動閘 (floating gate)，此 floating gate 作用在於讓電子在源極間有電流流過汲極附近的電場較強，使電子超過氧化膜的能量遮蔽造成熱電子注入 (channel hot electron injection) 或藉由穿隧注入至 (Fowler-Nordheim tunneling injection) 至 floating gate 裡完成電子的儲存。

2.1.2 寫入機制

如之前所述，一般快閃記憶體寫入方法有兩種：一. 熱電子注入 (channel hot electron injection) 二. 藉由穿隧注入至

(Fowler-Nordheim tunneling injection)

2.1.3 抹除機制

在快閃記憶體中，當 floating gate 內有電荷存在時，定義為 0；當電荷不存在時，定義為 1。執行讀出動作時，需在源極間加入電壓，使 control gate 外加 Vcc，如果 I_{ds} 流過，此時記憶體儲存的資訊為 1，當無電流通過時，此時記憶體儲存的資訊為 0。快閃記憶體的抹除動作是將 floating gate 中的電荷加以去除，外加電壓於源極與 floating gate，以 Fowler-Nordheim Tunnel 效應使電子自源極抹除。

2.1.4 電荷保持力

自傳統的浮動閘記憶體發展至今，因為元件製作技術提升，元件越做越小，密度也越來越高的趨勢下，穿隧氧化層 (Tunneling Oxide) 勢必也必須變薄，才能繼續維持住寫入/抹除速度。隨著穿隧氧化層的變薄，由於 floating gate 記憶體是利用浮動閘將電子儲存在裡面，因為 floating gate 是由 Poly-si 所組成，如果 tunneling oxide 稍有缺陷，電荷就會因為 SILC 而流失[3][5]，使資料保存能力變差，隨著 tunneling oxide 越薄，載子的儲存時間也隨著變短，最後整個記憶體將失去保存資料的能力，因此之後又提出了 single electron memory，split-gate memory，MONOS/SONOS memory，proton memory，ETOX memory 等結構來改良[7][8][9][10][11]

2.1.5 金屬奈米晶粒

金屬奈米晶粒 (Metal nanocrystal) 為目前克服傳統記憶體漏電流問題所廣泛應用的材料，優良特性在於由金屬奈米晶粒捕捉穿隧注入電子時，因金屬奈米晶粒相較於傳統半導體奈米晶粒有較高之狀態密度及更大範圍的有效功函數，因其較大功函數的特性造成較深的量子井，使電子陷入之後便牢牢的陷在裡面，所以金屬奈米晶粒擁有比傳統奈米晶粒更好的保存能力及更長的保存時間。

2.2 量測方法

2.2.1 量測前置步驟

本實驗主要使用半導體元件參數量測系統，型號為 HP4156(I-V 量測)以及 HP4284(C-V)，使用電腦軟體程式控制，依照標準操作程序；依照 HP4156B，HP4156A 順序開機，依照此順序開機是因為系統…固需按照此程序開機，開機完成後緊接著執行待測元件置入工作，我們打開隔離箱準備將待測元件放入隔離箱，放入待測元件之前，為了防止前次實驗者可能的疏忽，必須重新檢查隔離箱內的狀況，我們依序檢查針座接線是否已對準到機台之腳位，接著抬起顯微鏡，將拾針適當高度，之後拉出晶片承載基座，再將待測晶片輕輕放置到晶片的承載基座，等待以上步驟完成，便可以將開啟機片承載基座旁之真空開關，以吸附住待測晶片。完成這些步驟後，便可以將晶片承載基座推

回適當位置，並放下顯微鏡，打開光源，使光源投射在待測晶片上，調整顯微鏡焦距，使用顯微鏡觀測元件將探測針下針至晶片上，移動針座，下針至待測晶片上，確定是否下針方法為針頭迫處測試墊，並略為向前滑行，確定下針成功之後，我們便可以將燈源關掉，並輕輕關上隔離箱，這樣便完成待測晶片置入動作，著手執行 C-V 量測，以及 I-V 量測，探討元件特性。

2.2.2 量測關機步驟

在完成一連串的量測後，我們開始著手關機的步驟，首先打開隔離箱準備取出待測元件，接著打開光源後抬起顯微鏡，並將抬針適當高度，再拉出晶片承載基座，關閉晶片承載基座旁之真空開關，使承載基座不再吸附晶片之後便可取出待測晶片，取出晶片後。將晶片承載基座推回適當位置，最後放下顯微鏡，關掉燈源，輕輕關上隔離箱，便完成了待測晶片的取出動作，完成以上動作後，還須依照 HP4156A - > HP4156B 順序關閉機台，即完成量測關機步驟。

2.2.3 漏電流對電壓(I-V 特性曲線)

I-V 特性曲線的良好測試使用 HP4156C 半導體參數分析儀，以 50mv 漸昇電壓和最大限制電流 100mA，藉以量測出在快閃記憶體中各層薄膜品質的漏電流對電壓的特性曲線圖，探討各層薄膜電流對元件特性的影響。

2.2.4 電容對電壓(C-V 特性曲線)

C-V 特性曲線良測試使用 HP4284A，以頻率範圍 1MHz，藉以量測出快閃記憶體電容對電壓的特性曲線圖，電荷保持能力則使用 HP4284A 再搭配經由 HP4156C Stress 量測

2.3.1 元件製程

本實驗將製作一個PD非揮發性記憶體結構來作為探討的主軸，其製程進行將在國家奈米實驗室(National Nano Device Laboratories，簡稱NDL)中進行。圖2-1及2-9為製程流程，以下為詳述電容製程步驟。

1. 首先，在 p 型矽晶圓上，以 RCA Clean)去除晶片表面的雜質



圖 2-1

2. 使用垂直爐管(Dry oxide)長成一 40 埃厚的二氧化矽，作為穿隧氧化層



圖 2-2

3. 使用 E-GUN(離子佈植)沉積 Pd20Å

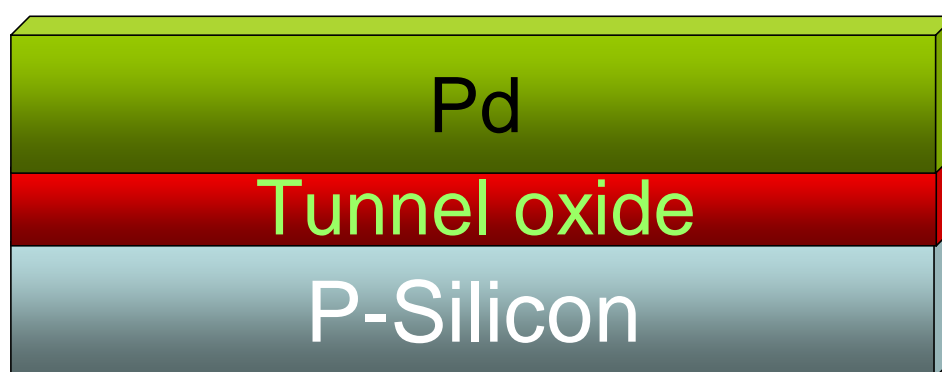


圖 2-3

4. 將破片以金屬快速回火爐作不同溫度的 RTA

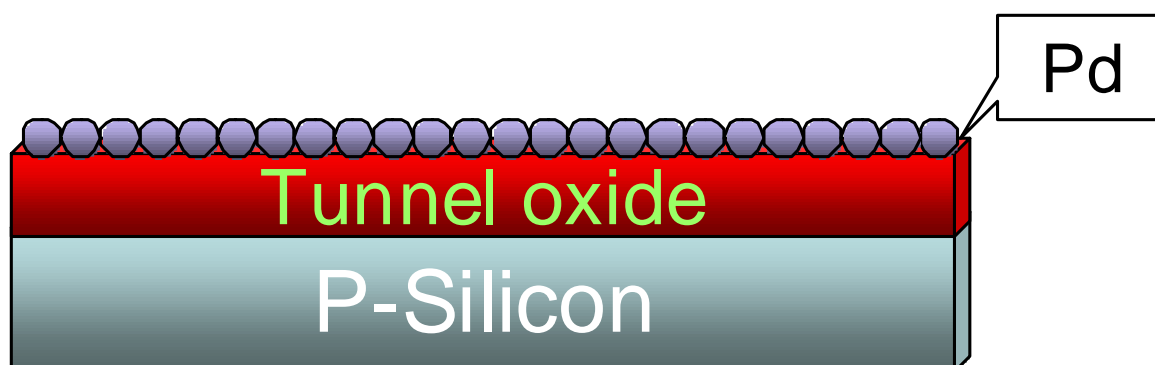


圖 2-4

5. 以 PECVD 的方式沉積 TEOS(三乙烷基氧氟矽甲烷) Oxide180Å

作為 Blocking layer

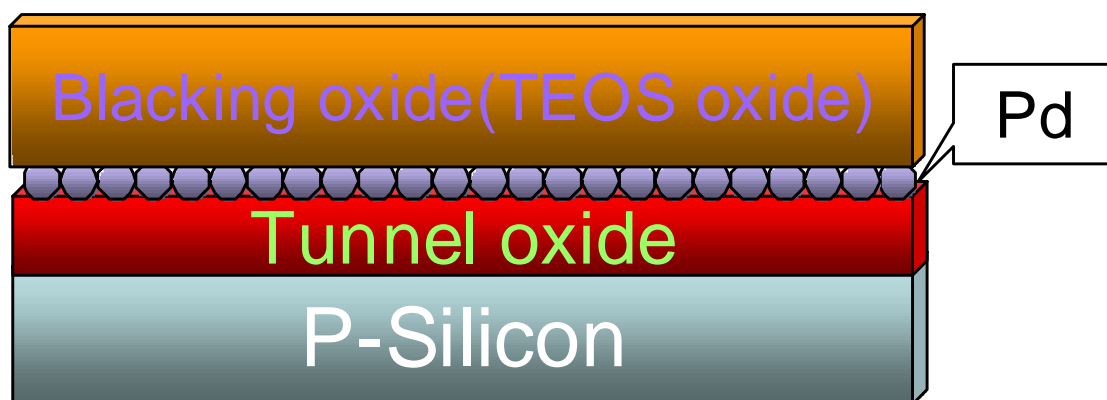


圖 2-5

6. 再經過黃光微影製程定義光阻圖案

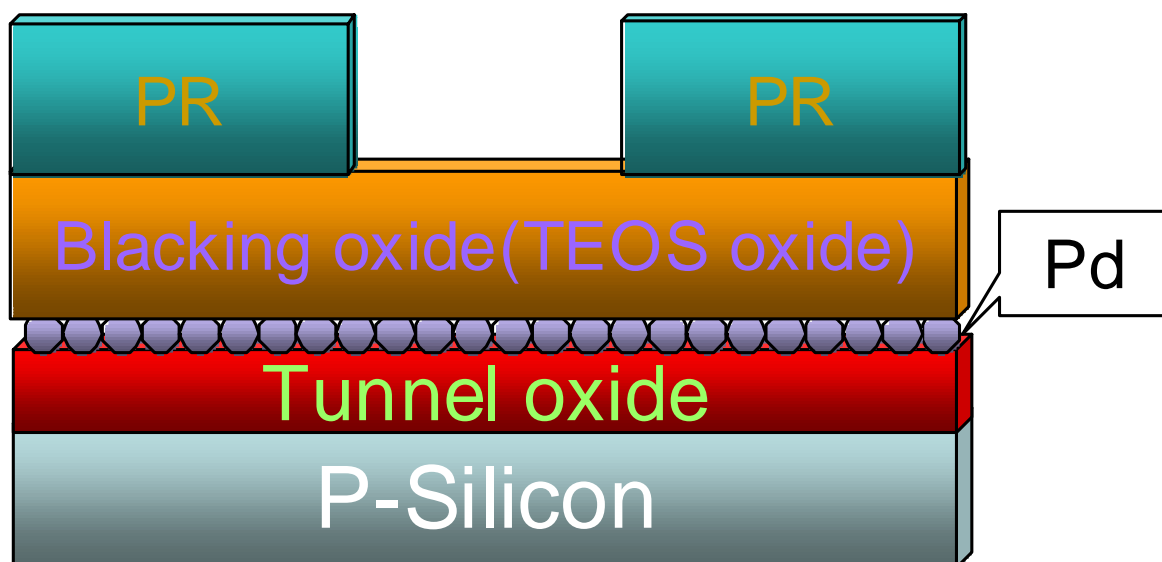


圖 2-6

7. 接著以 sputter 沉積上電極 TaN

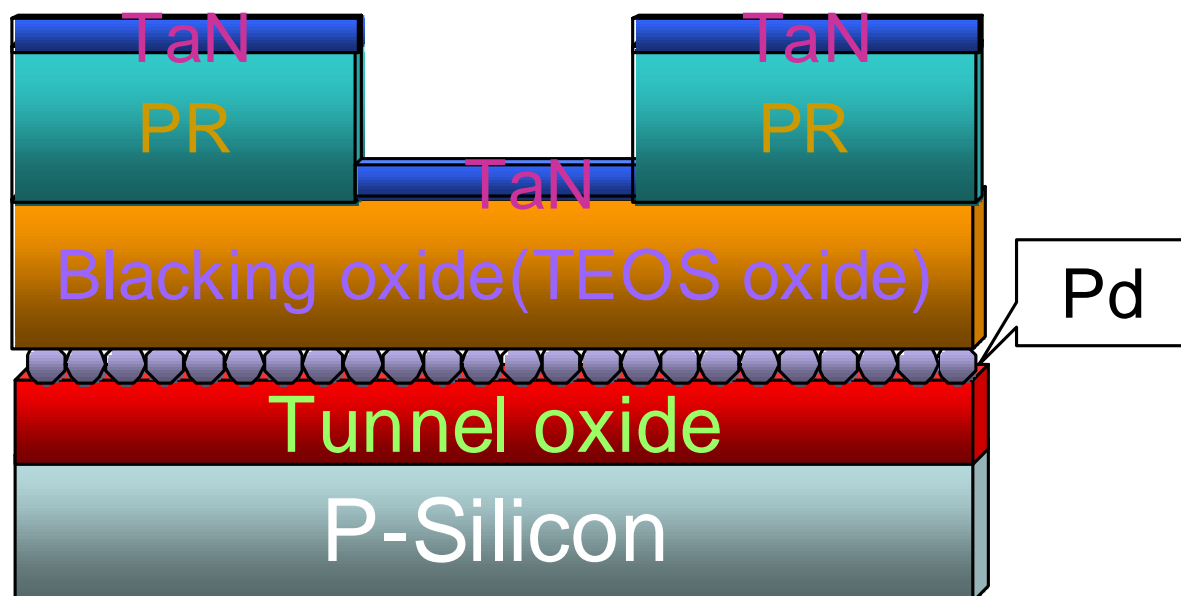


圖 2-7

8. 然後使用超音波震盪器做 Lift-off

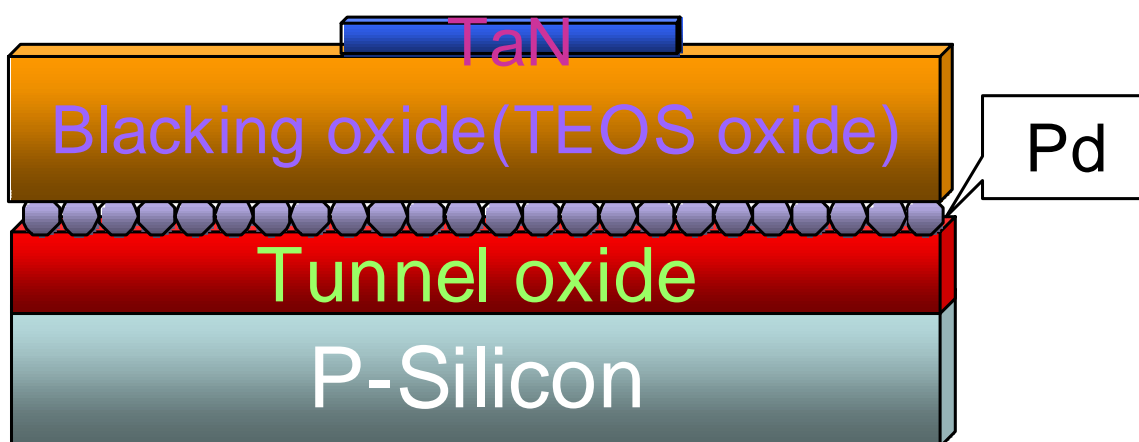


圖 2-8

9. 再次使用 sputter 沉積下電極 Al, Si, Cu, 完成此結構的製程部分。

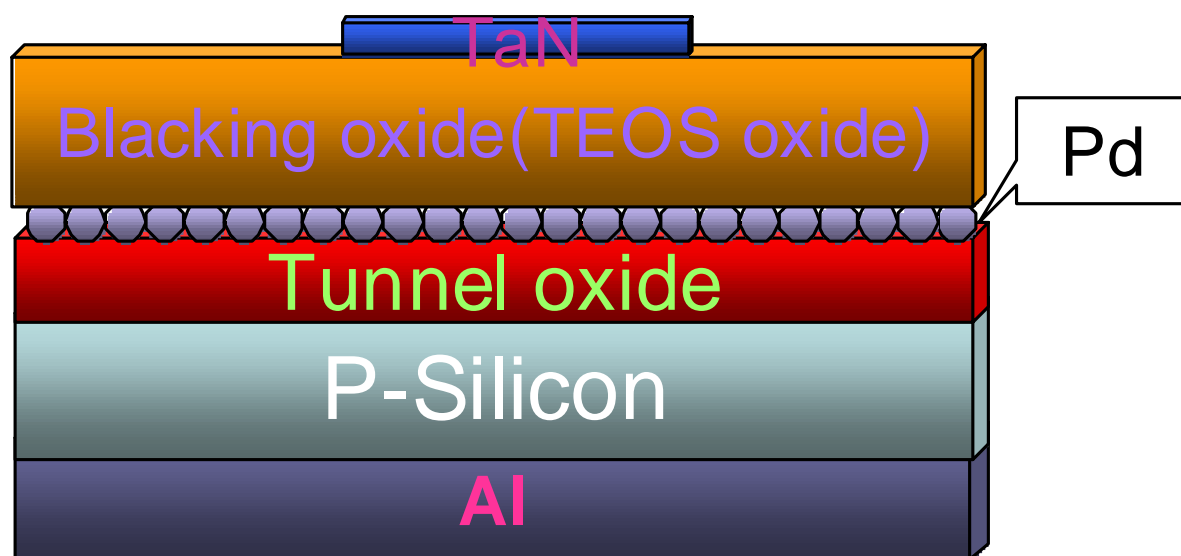


圖 2-9

第三章 藉由不同回火溫度對於 Pd 奈米晶粒非揮發性記憶體之研究

3.1 引言

非揮發性記憶體元件裡是以floating gate作為儲存電荷的地方，傳統上是以多晶矽(poly-Si)作為floating gate的材質。但在進入奈米的時代，相關的floating gate材料技術有很大的變革，也面臨許多的挑戰及問題待突破與解決。

為順應奈米晶粒做為非揮發性記憶體之floating gate的發展，好的非揮發性記憶體應符合以下幾項要求：

(1) 耐久度(Endurance)

耐久度是指可以達到一定的寫入/抹除次數後元件的惡化程度，可以0.5V 的記憶體窗 (Memory Window) 來判別元件惡化的程度，也就是指寫入後的高臨界電壓與擦拭後的低臨界電壓的差值對讀寫循環次數的關係。一般測試耐力的方法是：利用寫入之後的高臨界電壓與擦拭之後的低臨界電壓對循環次數的關係，常見的耐力特性。在經過多次重覆的寫入、擦拭循環之後，寫入與擦拭的效率均會呈現衰減的現象，意指寫入後的臨界電壓將逐漸下降，而擦拭後的臨界電壓將逐漸上升，亦即臨界電壓的可調變範圍縮小；若狀況持續惡化，寫入與擦拭後的狀態將無法被分辨，元件無法正常工作，示意圖如圖2-8。

而影響SONOS 結構耐久度的主要因素有兩項：(1)在不斷的讀寫循環

下，Si 基座和底層穿隧氧化層間的界面產生惡化的情形，使得界面陷阱 (Interface Traps) 的數目隨著讀寫次數增加而變多；(2) 在不斷的讀寫循環下，氮化層內部陷阱數逐漸增加，使得電子易於穿過ON 界面到達氮化層的中心，甚至更深入。

(2) 電荷保持力(Retention)

非揮發性記憶體的一項最基本的要求，就是在沒有任何補充 (Refresh) 的條件下，寫入的資料必須能長時間保存，示意圖如圖 2-7。記憶體儲存資料保持力的定義是指從資料儲存進去到無法正確被判讀出來的時間長短，一般是希望在用外插法超過十年線後仍能判讀。一般測試保持力的環境有分為三級：(1) 商業用溫度在 $0\sim 70^{\circ}\text{C}$ ，(2) 工業用的溫度是從 $-40^{\circ}\text{C}\sim 85^{\circ}\text{C}$ ，(3) 而軍事用途的溫度極限測試範圍在 $-55^{\circ}\text{C}\sim 125^{\circ}\text{C}$ 下進行。

然而元件經過擦寫循環後，其電荷保持特性將會嚴重地衰減，衰減的幅度隨著循環次數的增加而增加，因而降低元件可靠度。一般認為底部氧化層太薄，經過多次的寫入擦拭之後，使得底部氧化層形成很多缺陷產生漏電增加，因此電荷流失也將更嚴重。但是由於SONOS 結構的上層氧化層 (Top oxide) 比浮動閘極結構的阻隔層較薄，因此氮化矽層中的電荷，也是很有可能藉由較薄的頂端氧化層電子穿隧，使得電荷保持特性將衰減。

3.2 實驗過程與條件

本章的非揮發性記憶體結構主要包含：

Tan/SiO₂/Pd/SiO₂/Si/Al，以下將針對此結構做不同溫度之回火候所形成的奈米晶粒之特性分析探討。

3.3 結果與討論

3.3.1 物性的量測分析

圖3-1~3-12為Tan/SiO₂(180Å)/Pd(20Å)/SiO₂(40Å)/Si/Al在不同的溫度下(500°C, 600°C, 700°C, 800°C, 900 °C)經過30秒回火後使用SEM顯微鏡來觀測其PD金屬型成奈米晶粒的情況，圖3-1、3-2沒有奈米晶粒型成，作為往後比照用，未回火之PD，圖3-3~3-10分別為PD經過(500°C, 600°C, 700°C, 800°C, 900 °C)30秒回火後之SEM圖，我們可以發現在這些SEM圖中，當回火的溫度達到900°C時，可以有相對較均勻的奈米晶粒型成。而比較在經過500°C, 600°C, 700°C, 800°C, 900°C 30秒的回火之後，在升溫的過程中，PD金屬型成奈米晶粒有越高溫越為完美的趨勢。

3.3.2 電性的量測分析

圖3-3、3-4為Tan/SiO₂(180Å)/Pd(20Å)/SiO₂(40Å)/Si/Al在經過500°C 30秒回火後的電容- 電壓(C-V)曲線圖；圖3-5、3-6為Tan/SiO₂(180Å)/Pd(20Å)/SiO₂(40Å)/Si/Al在經過600°C 30秒回火後

的電容- 電壓(C-V)曲線圖; 圖3-7、3-8為

Tan/SiO₂(180Å)/Pd(20Å)/SiO₂(40Å)/Si/Al在經過700°C 30秒回火後

的電容- 電壓(C-V)曲線圖; 圖3-9、3-10為

Tan/SiO₂(180Å)/Pd(20Å)/SiO₂(40Å)/Si/Al在經過800°C 30秒回火後

的電容- 電壓(C-V)曲線圖圖3-11、3-12為

Tan/SiO₂(180Å)/Pd(20Å)/SiO₂(40Å)/Si/Al在經過900 °C 30秒回火

後的電容- 電壓(C-V)曲線圖。由圖3-16量測出來的電容值發現, 其

V_{fb}為4.91V; 由圖3-20量測出來的電容值發現, 其V_{fb}為2.26V。

3.3.3 綜合比較以及討論

由本專題的實驗結果顯示, 我們可以發現:

(1) Tan/SiO₂(180Å)/Pd(20Å)/SiO₂(40Å)/Si/Al在不同的回火溫度

(500°C, 600°C, 700°C, 800°C, 900°C)下, Pd金屬皆確實都有奈米晶粒

結晶的現象。而對於這五種不同溫度的回火, 越高溫的結晶越為完美。

(2) C-V量測的時候在600°C以及800°C的sample各有4.91V; 2.26V的

Memory window, 顯示電荷有成功的儲存在Pd奈米晶格裡面, 但是曲線

的斜率有點偏斜, 我們猜測是Pd金屬過度擴散到sample的表面所導致

(3)我們從 600°C、800°C、900°C的C-V圖跟SEM圖來比較, 似乎有奈

米晶粒較小才會有儲存電子的特性的趨勢, 值得進一步去探究。

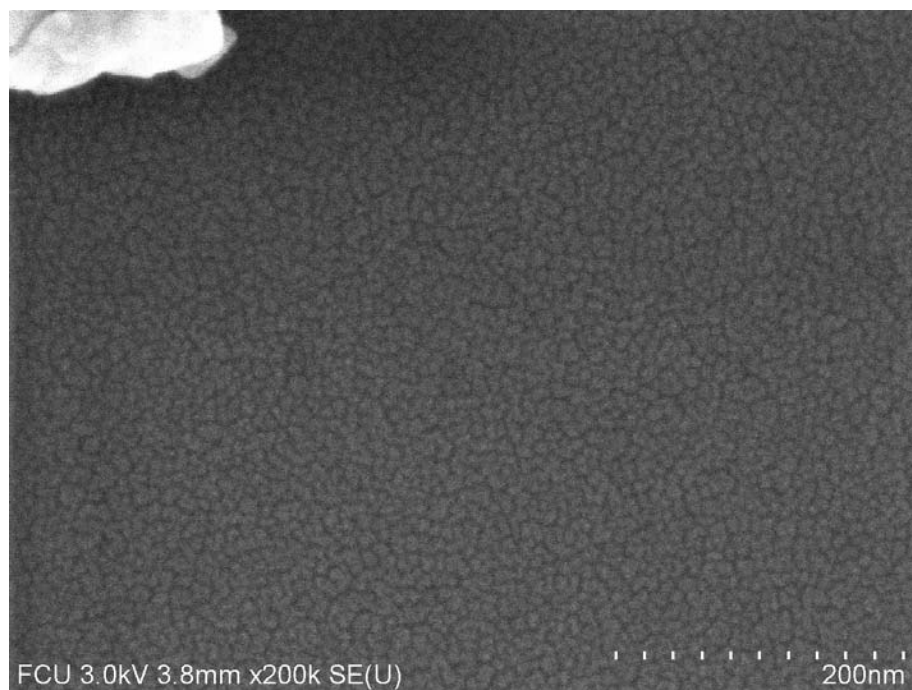


圖 3-1 Pd Control Resolution 200K

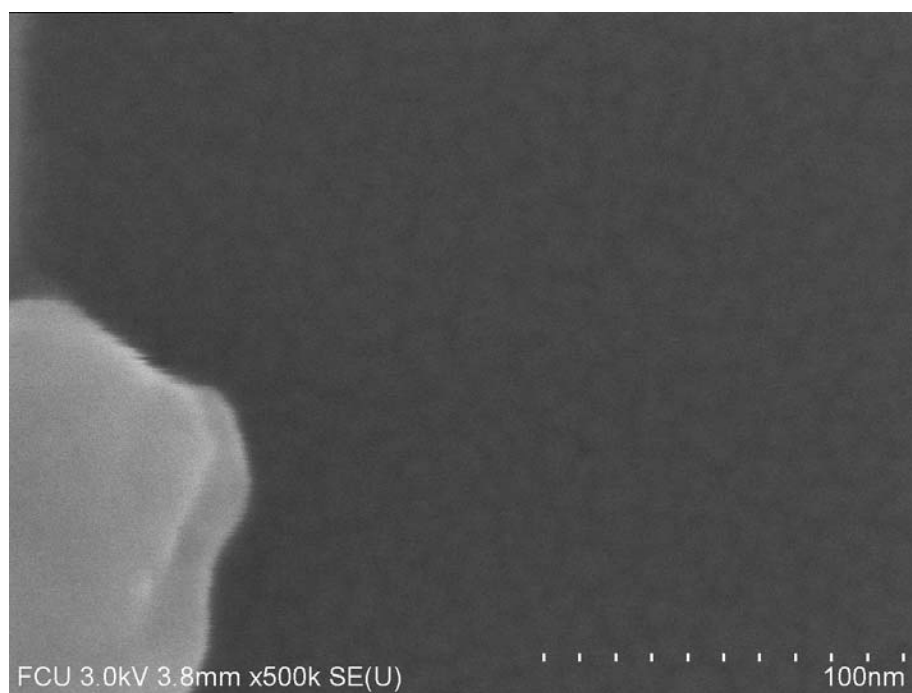


圖 3-2 Pd Control Resolution 500K

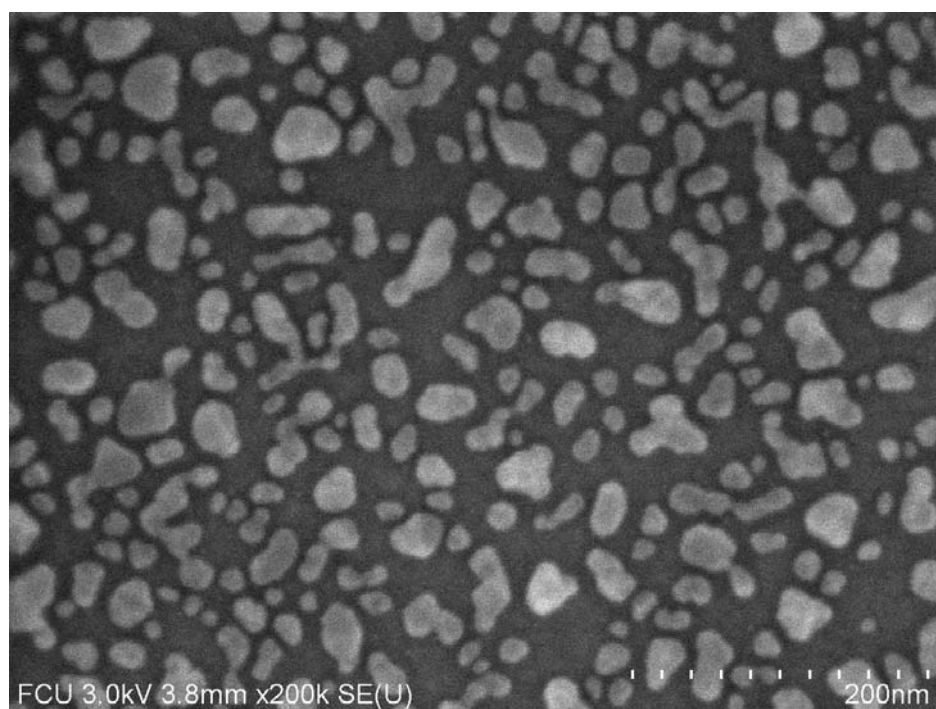
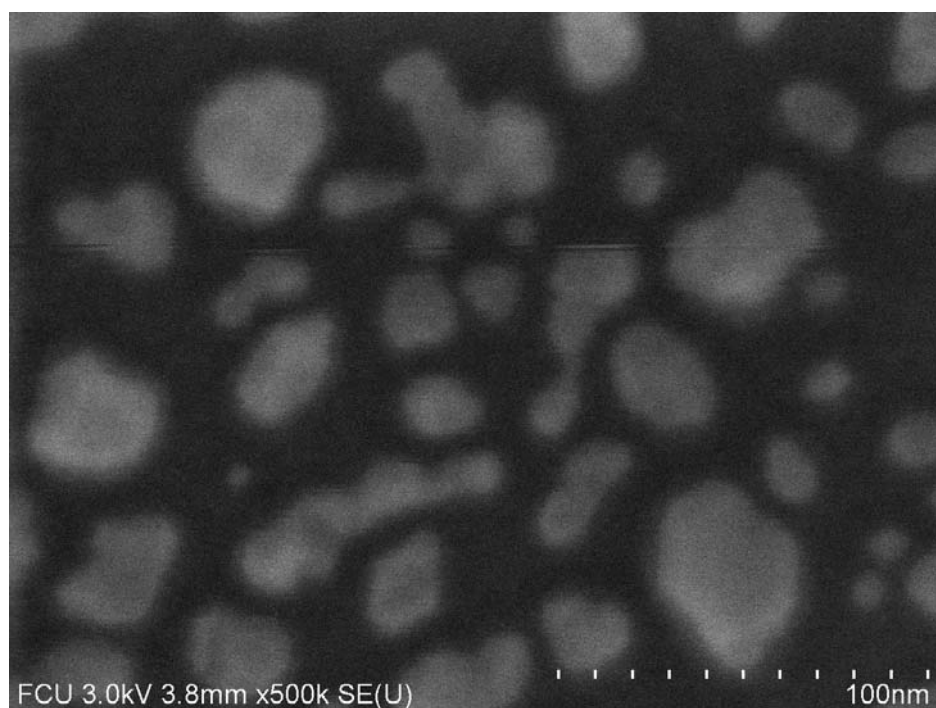


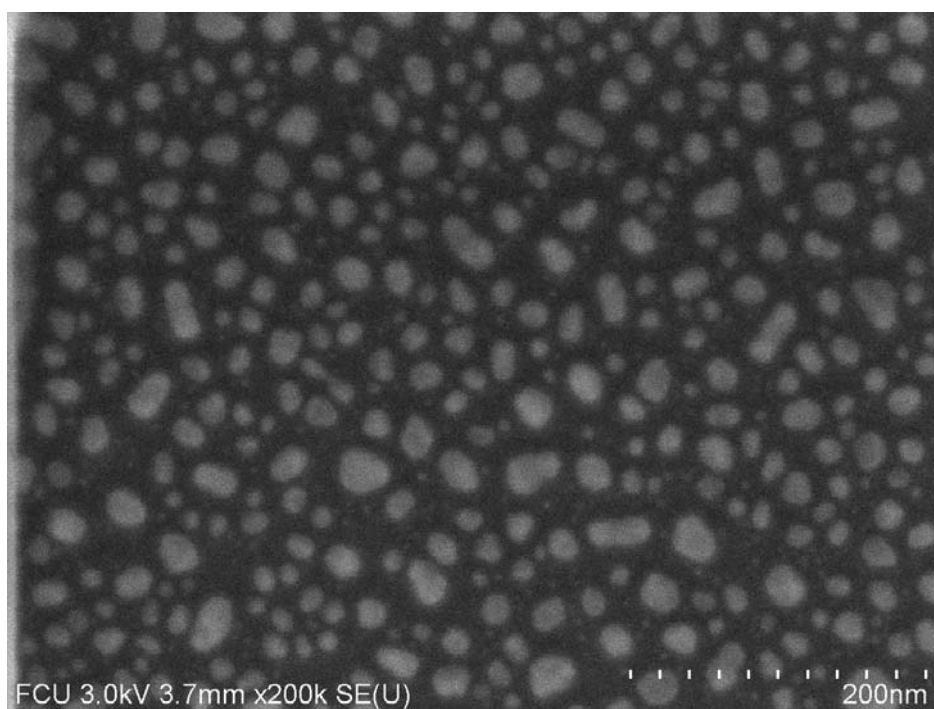
圖 3-3

Pd At 500°C for 30s Resolution 200K



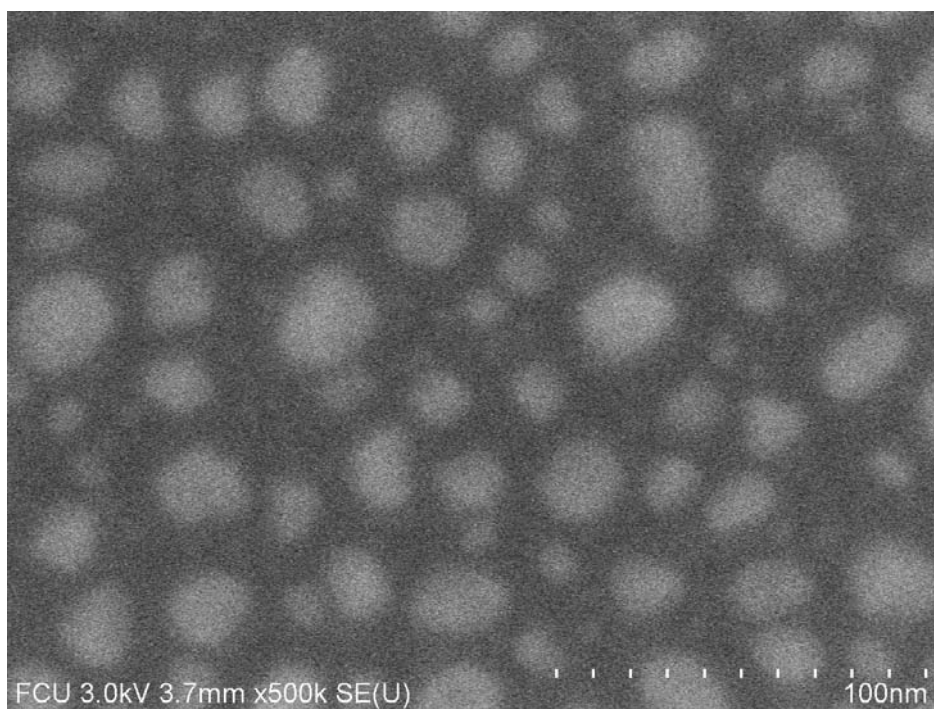
Pd At 500°C for 30s Resolution 500K

圖 3-4



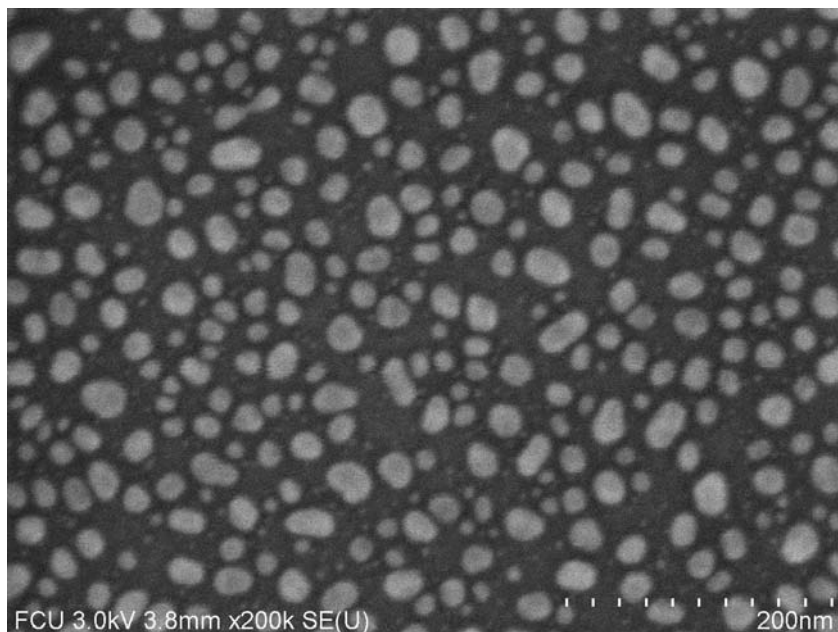
Pd At 600°C for 30s Resolution 200K

圖 3-5



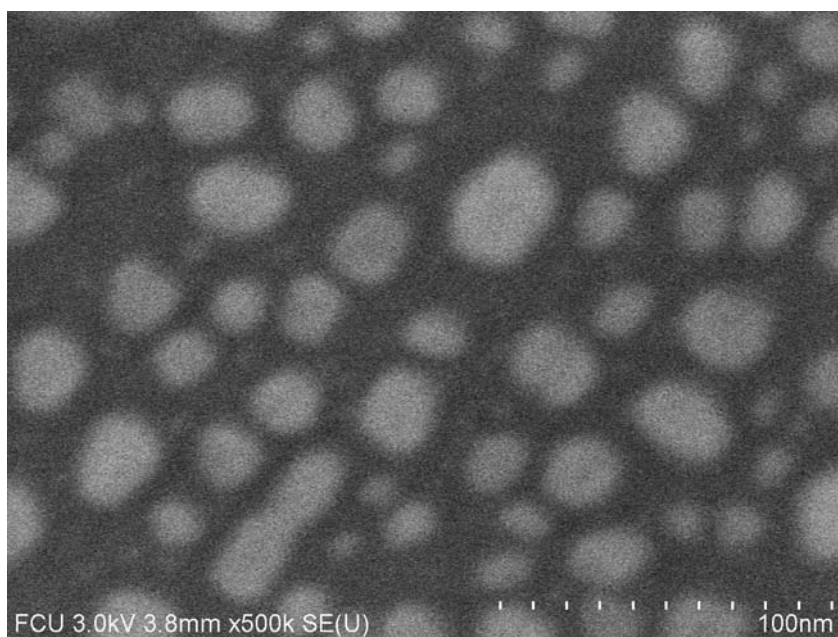
Pd At 600°C for 30s Resolution 500K

圖 3-6



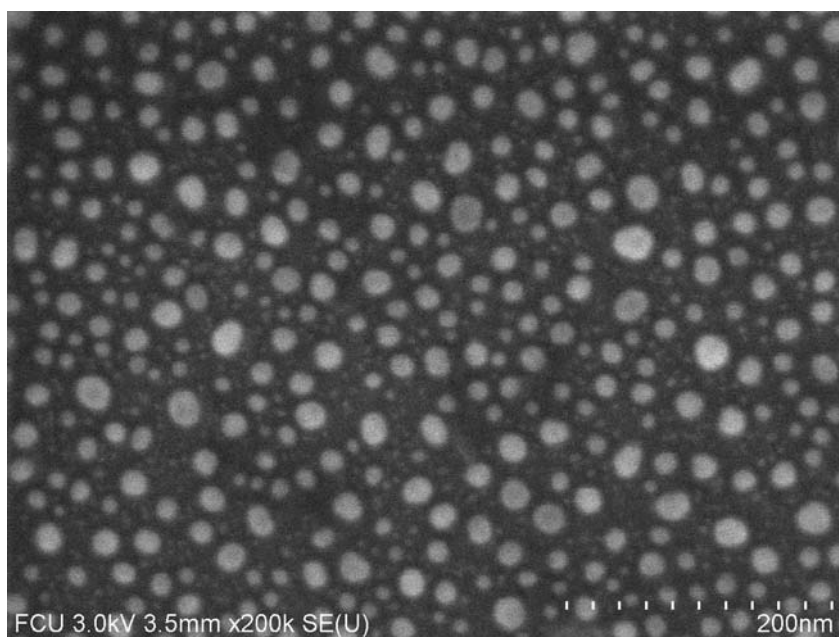
Pd At 700°C for 30s Resolution 200K

圖 3-7



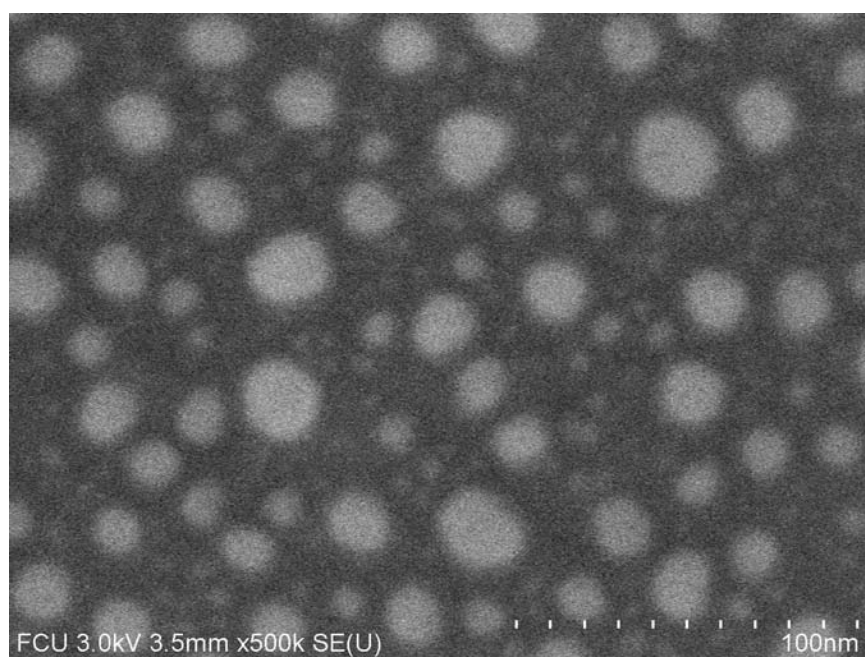
Pd At 700°C for 30s Resolution 500K

圖 3-8



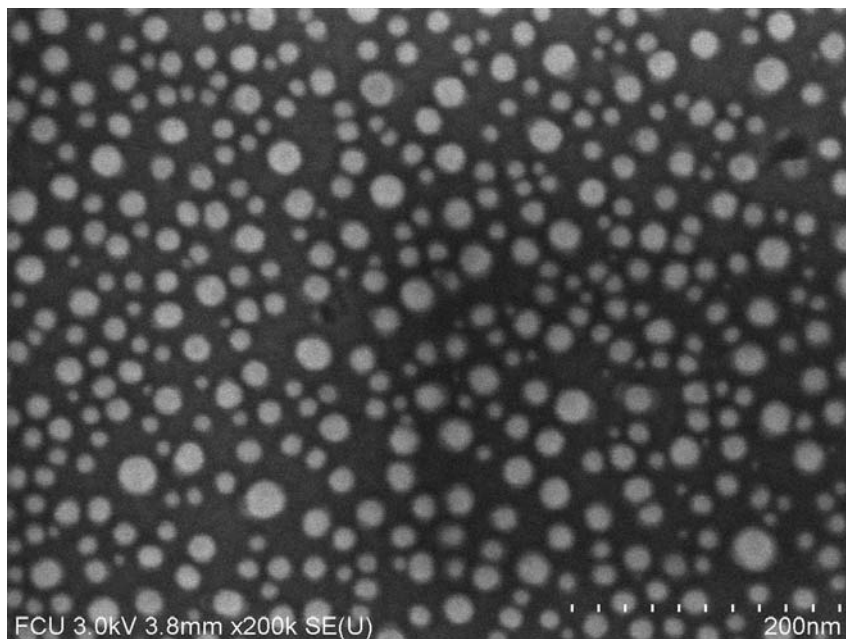
Pd At 800°C for 30s Resolution 200K

圖 3-9



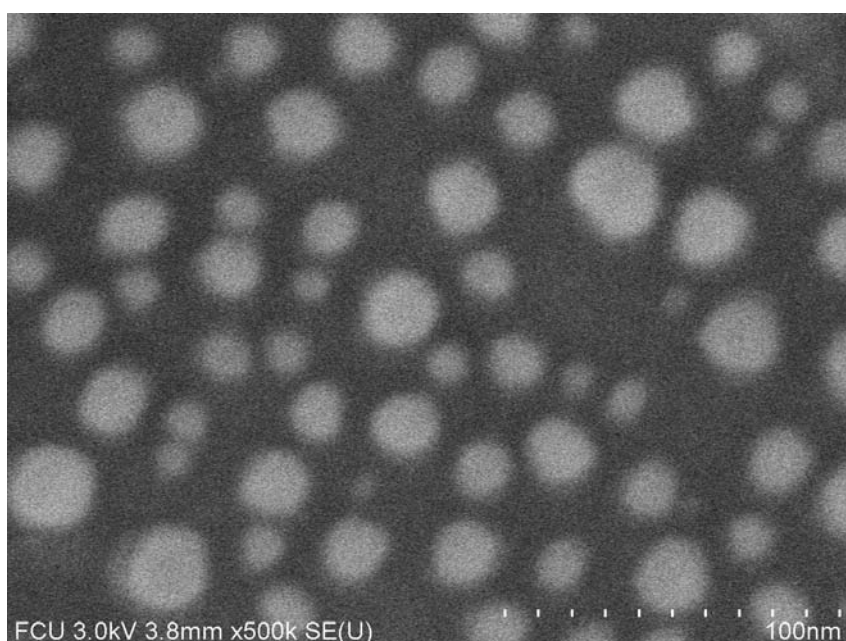
Pd At 800°C for 30s Resolution 500K

圖 3-10



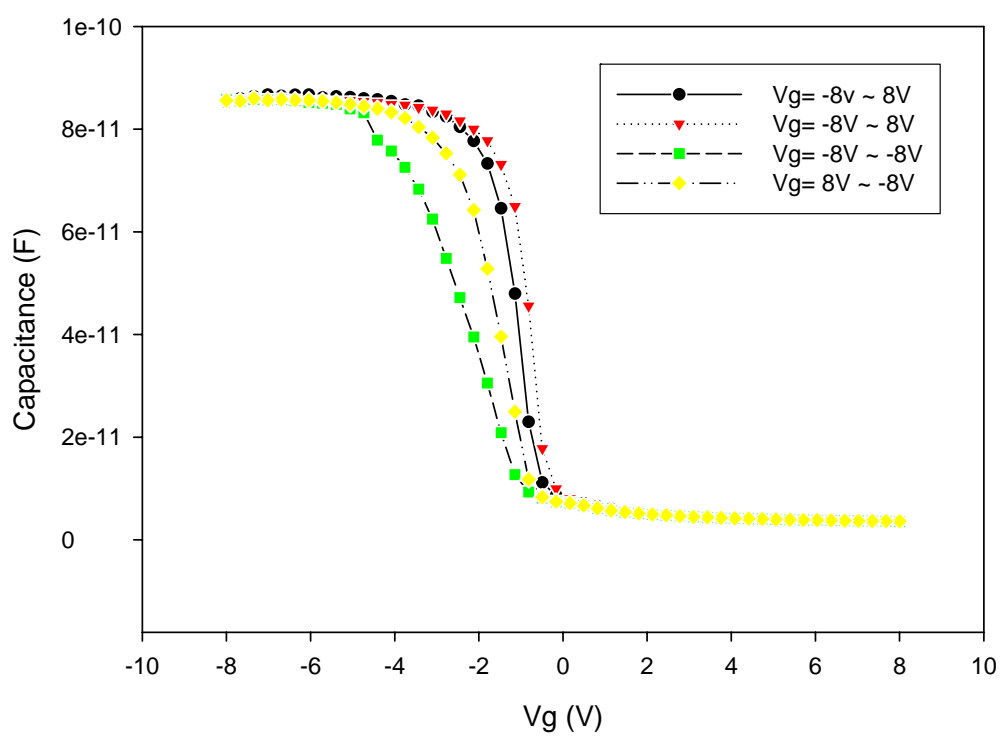
Pd At 900°C for 30s Resolution 200K

圖 3-11



Pd At 900°C for 30s Resolution 500K

圖 3-12



Pd Control

圖 3-13

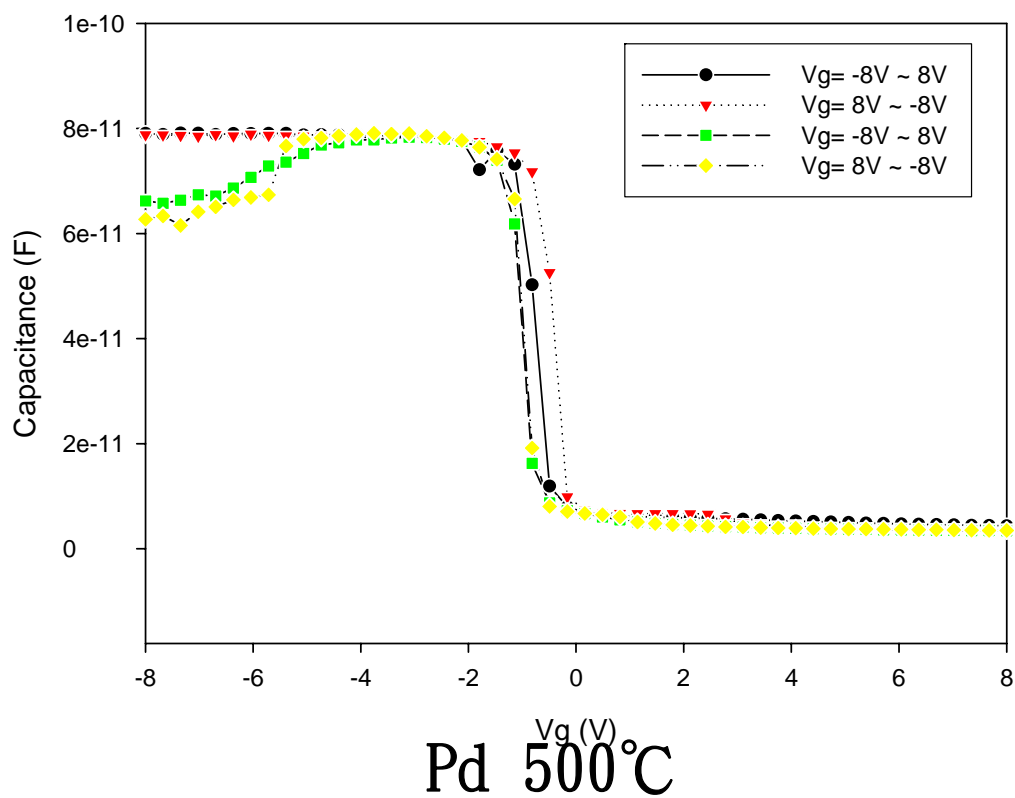


圖 3-14

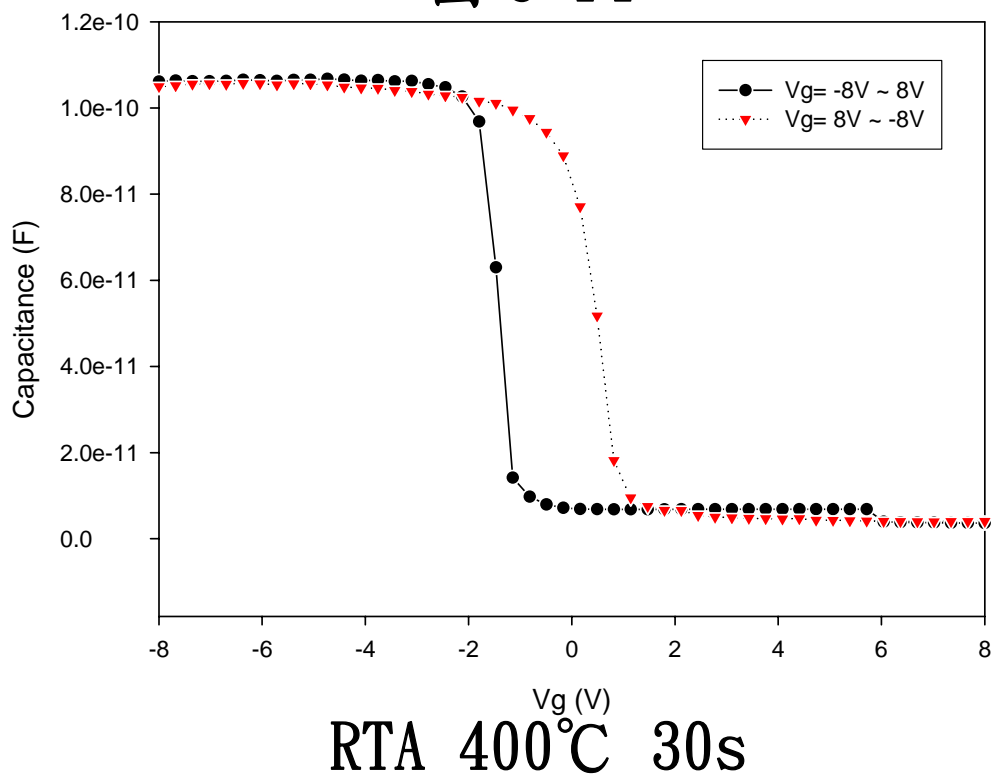
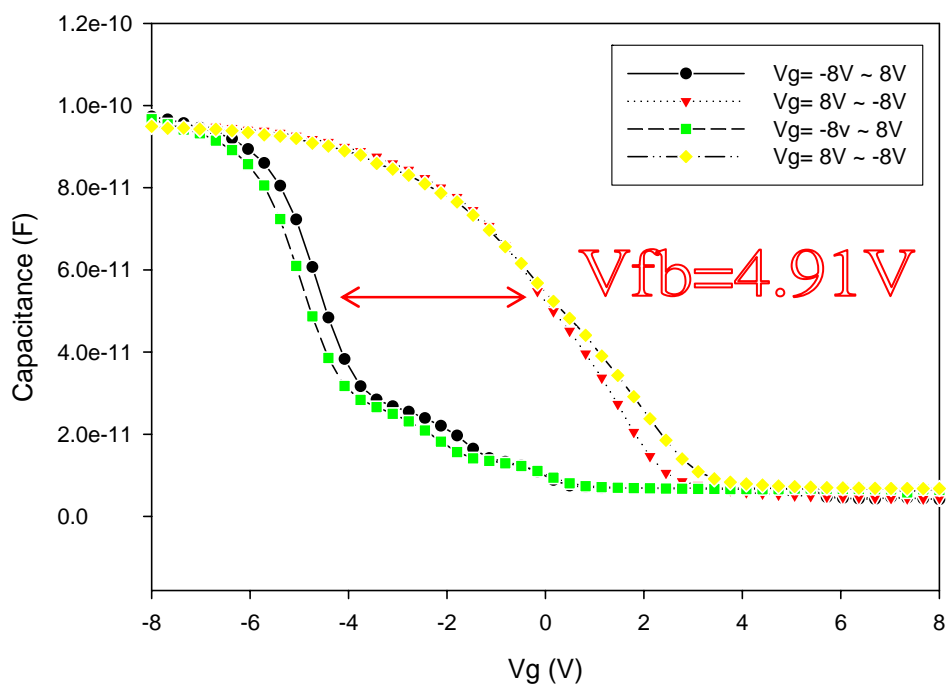
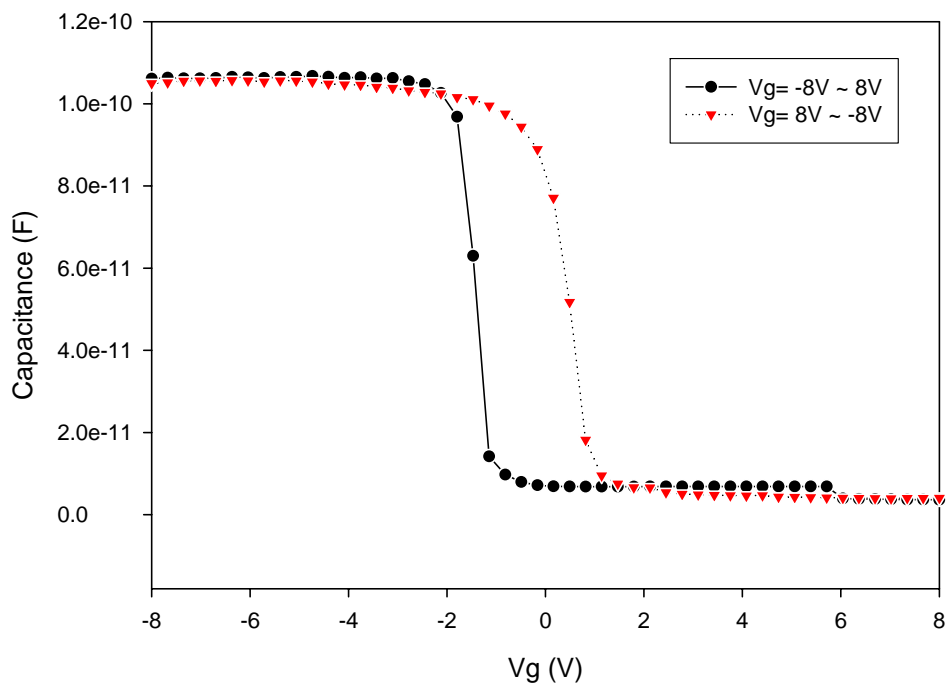


圖 3-15



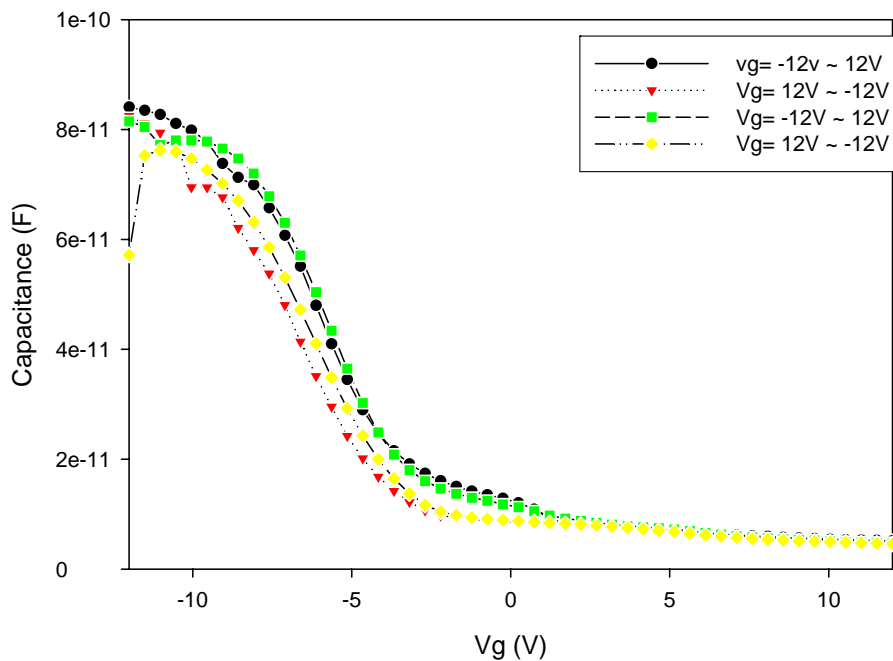
Pd 600°C

圖 3-16



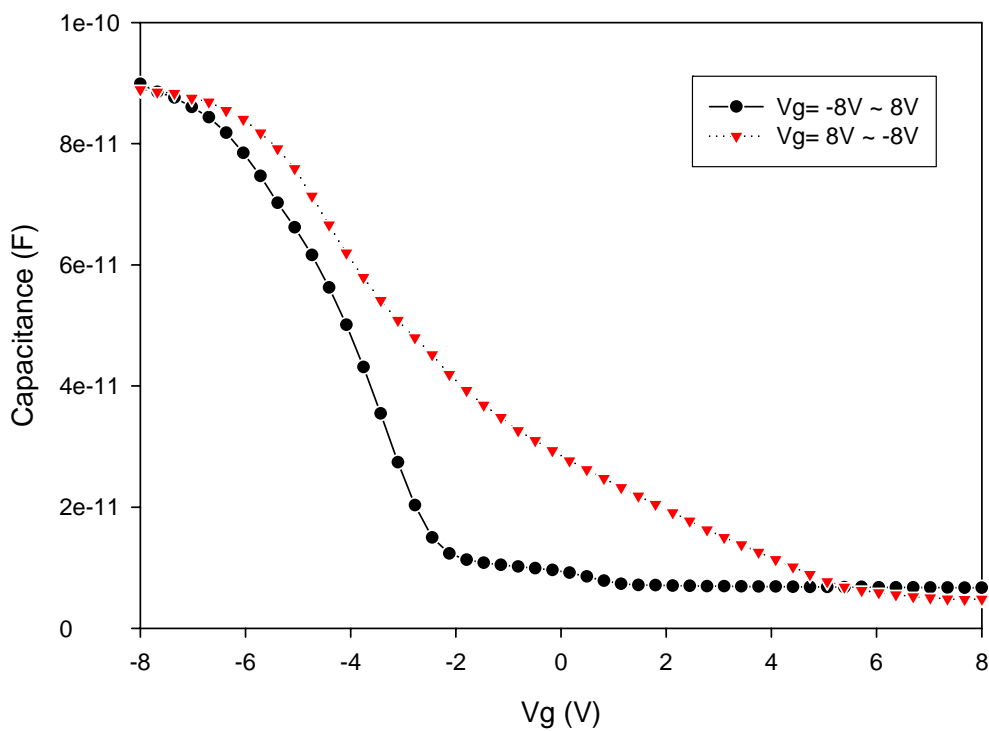
RTA 400°C 30s

圖 3-17



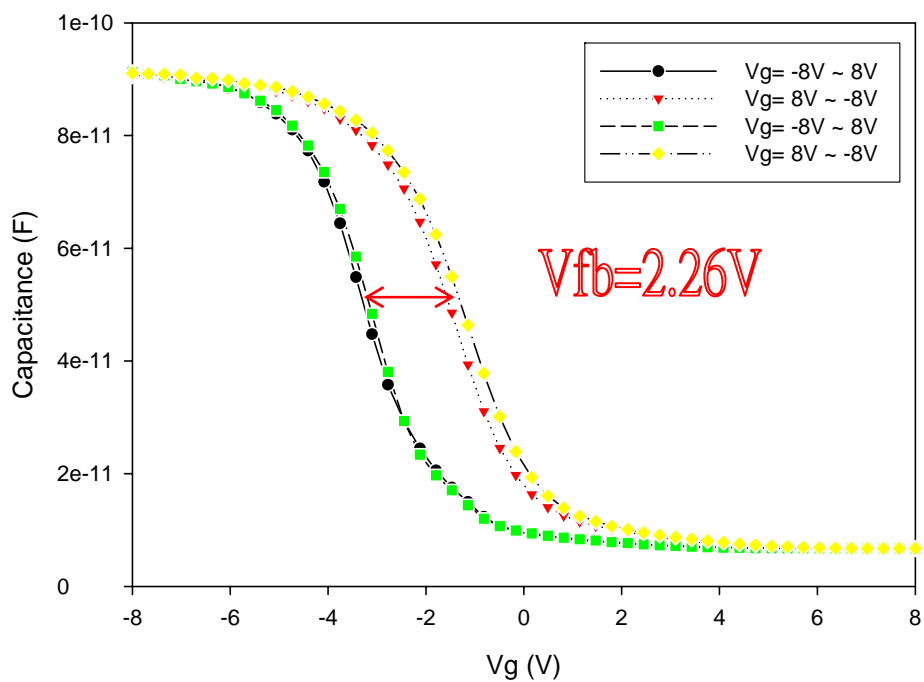
Pd 700°C

圖 3-18



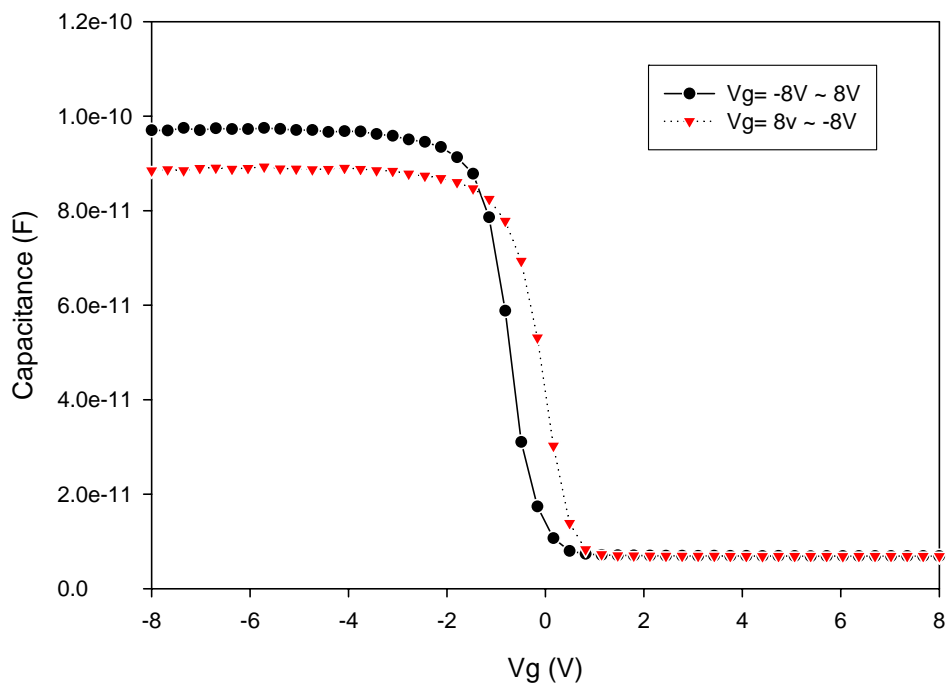
RTA 400°C 30s

圖 3-19



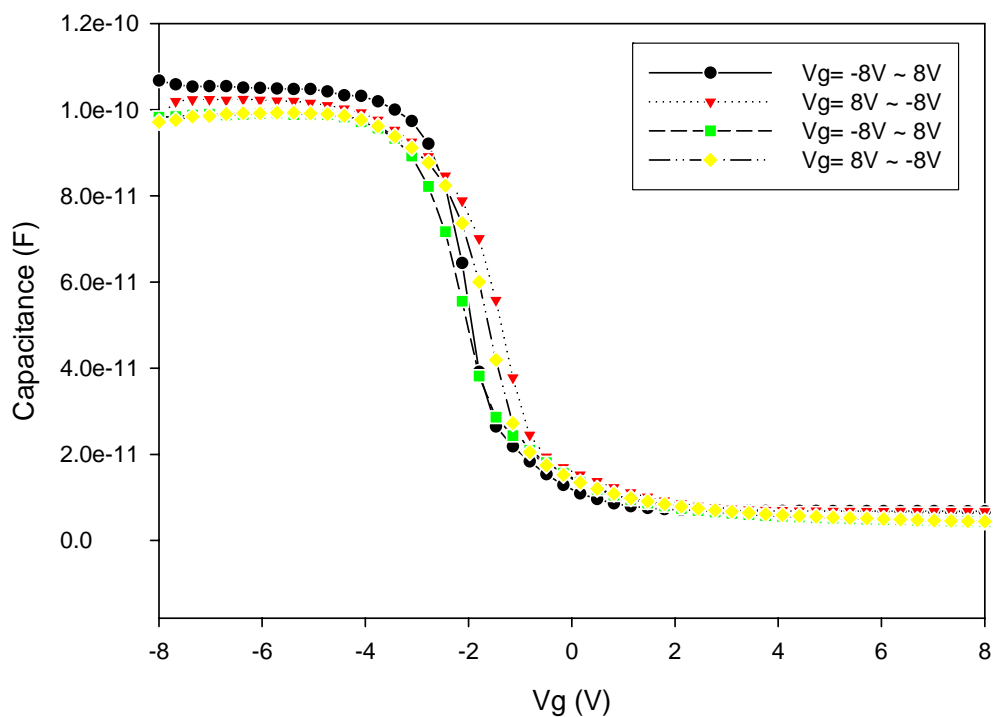
Pd 800°C

圖 3-20



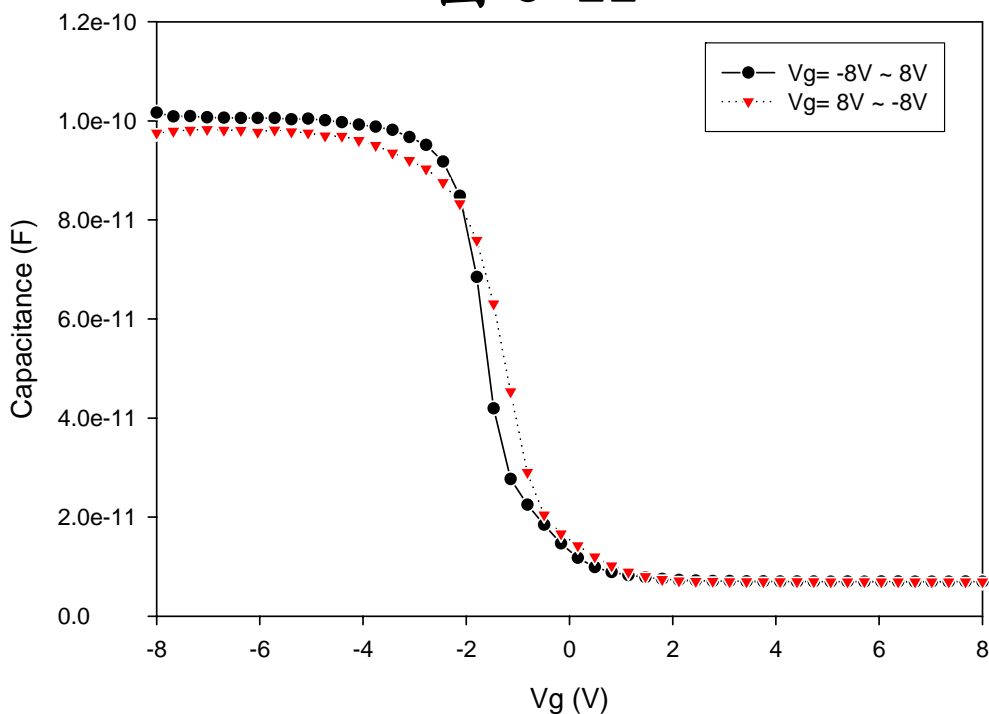
RTA 400°C 30s

圖 3-21



Pd 900°C

圖 3-22



RTA 400°C 30s

圖 3-23

第四章 總結以及未來方向

根據近期研究報告指出，利用金屬奈米晶粒作為陷阱捕捉住穿隧注入的電子，因為金屬奈米晶粒擁有比傳統半導體奈米晶粒有較高的狀態密度以及廣範圍的有效功函數。藉由金屬奈米晶粒較大的功函數，將電荷牢牢的抓在量子井中，使其不易流失，改善了傳統半導體奈米晶粒漏電流的問題，找尋非揮發性記憶體較佳的電荷保持力、耐久度、以及較佳的寫入機制為近期的研究重點，其中懸浮閘(FG)之材質是決定了整個非揮發性記憶體的特性的一大主因。

而前述我們使用的PD金屬，擁有相較於其他金屬，於其他金屬有更多的優點，如有較優良的特性，例如更大的量子井，造成較佳的保存能力，在此專題中，我們發現NC在600°C、800°C 30s之回火後擁有4.91V、2.26V之數據，在非揮發性記憶體中，證實PD經過高溫回火後型成的奈米晶粒擁有儲存電荷的能力，將可提供未來非揮發性記憶體的懸浮閘材料使用。

參考文獻

[1]維基百科 非揮發性記憶體簡介

<http://zh.wikipedia.org/w/index.php?title=%E9%9D%9E%E6%8F%AE%E7%99%BC%E6%80%A7%E8%A8%98%E6%86%B6%E9%AB%94&variant=zh-tw>

[2]D. Kahng and S. M. Sze , "A Floating gate and Its Application to memory Devices" J. of Bell syst. Tech. , vol. 46 , p.1288 , 1967.

[3]楊文祿 吳翊鴻 趙天生 江宗育 臨場方法在氮化矽層內嵌矽奈米晶體之 SONOS 型記憶體 奈米通訊 第 15 卷 第一期 P14

[4]陳孟祺 利用專利組合探討 FLASH 記憶體研發規劃之研究 國立雲林科技大學

[5]C. m compagnoni D. Ielmini A. S. Spinelli , A. L. Lacaita C. Previtali , C. Gerardi "study of data retention of nanocrystal flash memories" in proc IPRS , pp506-512 , 2003

[6]維基百科 快閃記憶體簡介

http://zh.wikipedia.org/w/index.php?title=Flash_memory&variant=zh-tw

[7]T. Futatsugi et al , Fujitsu science Technology Journal ,

Vol. 34 , NO. 2 , pp. 142 , Dec. 1998

[8]A. T. Wu , T. Y. Chan , P. K. Ko , and C. Hu , "A novel high-speed , 5V programming EPROM structure with source-side-injection" , IEDM Tech. Dig , pp. 584-587 , 1986.

[9]Betty prince , "Emerging Memories-Technologies and Trends" , Chap. 3:Non-Volatiles After Floating Gate , pp. 133-180 , 2002.

[10]W. L Warren D. M Fleetwood J. R. Schwank , M. R Shaneyfelt , B. L. Draper , P. S. Winokur , and M. G. Knoll , "Protonic nonvolatile field effect transistor memories in Si/SiO₂/Si structures" , IEEE trans on Nuclear science , Vol. 44 , pp. 1789-1798 , 1997.

[11]Toshiba corporation ULSL Research center , "Technology trend of flash-EEPROM- Can Flash-EEPROM overcome DRAM?" , Symposium on VLSI Technology Digest of Technical Papers , pp. 6~9 , 1992

[12]Ch. sargentis , K. Giannakopoulos , A. Travlos , D. Tsamakis "Process device characteristics of Pd nanocrystals mos memory" ECE , NTUA , Greece

[13]B. D. Salvo , C. Gerardi , R. V. Schaijk , S. A. Lombardo , D. Corso , C. Plantamura , T. Serafino , G. Ammendola , M. V. Duuren , P. Goarin ,

W. Y. Mei , K. V. D. Jeugd , H. Baron , M. Gely , P. Mur , and S. Deleonibus ,

IEEE Trans. Device Mater. Reliab. , 4 , 377_2004

[14]Fu-Hsiang Ko , Hsin-Chiang You and Tan-Fu Lei ,

“Sol - gel-derived double-layered nanocrystal memory” ,

APPLIED PHYSICS LETTERS 89 , 252111 (2006).

[15]Kwang Soo Seol Seong Jae Choi Jae-Young Choi

Eun-Joo Jang Byung-Ki Kim Sang-Jin Park Dea-Gil Cha

Shinae Jun Jong-Bong Park Yoondong Park Suk-Ho Choi

Characterization of Pd-nanocrystal-based nonvolatile memory

devices Nanotechnology Materials and Devices Conference , 2006.

NMDC 2006. IEEE

[16]KWANG SOO SEOL ; SEONG JAE CHOI ; CHOI Jae-Young ; JANG

Eun-Joo ; KIM Byung-Ki ; PARK Sang-Jin ; CHA Dea-Gil ; SONG

In-Yong ; PARK Jong-Bong ; PARK Youngsoo ; CHOI Suk-Ho ;

Pd-nanocrystal-based nonvolatile memory structures with

asymmetric SiO₂/HfO₂ tunnel barrier Applied physics letters

ISSN 0003-6951 CODEN APPLAB 2006 , vol. 89 , no8 , [Note(s):

083109.1-083109.3]